



Docket No.: 61282-035

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Mitsumi ITO, et al. : Confirmation Number: 7469
Serial No.: 10/634,988 : Group Art Unit: 2812
Filed: August 06, 2003 : Examiner:

For: SEMICONDUCTOR DEVICE, METHOD OF GENERATING PATTERN FOR
SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE AND DEVICE OF GENERATING PATTERN USED
FOR SEMICONDUCTOR DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Japanese Patent Application No. 2002-229215, filed August 6, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: March 5, 2004

28

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61282-035
Ito et al.
August 6, 2003
10/634,988

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 6 日
Date of Application:

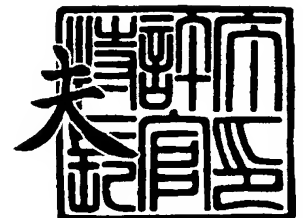
出 願 番 号 特 願 2 0 0 2 - 2 2 9 2 1 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 2 9 2 1 5]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5037540119

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 伊藤 光実

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 嶋田 純一

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 向井 清士

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 辻川 洋行

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置用パターンの生成方法、半導体装置の製造方法、および半導体装置用パターン生成装置

【特許請求の範囲】

【請求項 1】 半導体チップのレイアウトパターンを設計し配置するレイアウトパターン形成工程と、

前記レイアウトパターンの面積率を抽出する工程と、

前記レイアウトパターンを構成する層のプロセス条件にもとづいて得られる当該層のレイアウトパターンの最適面積率を考慮して、当該層が最適面積率となるように前記レイアウトパターンに、ダミーパターンを付加配置するダミーパターン付加工程とを含むことを特徴とする半導体装置用パターン生成方法。

【請求項 2】 前記レイアウトパターン形成工程で形成されたレイアウトパターンを所望の大きさの小領域に分割する工程と、

分割された前記小領域毎にマスクパターンの面積率を抽出する工程と、

前記レイアウトパターンに対応するマスクパターンの最適面積率に符合するように、ダミーパターンを付加配置するダミーパターン付加工程とを含み、

前記小領域毎に面積率を揃えるようにしたことを特徴とする請求項 1 に記載の半導体装置用パターン生成方法。

【請求項 3】 さらに面積率の異なるダミーパターンセルを複数種用意する工程を含み、

前記ダミーパターン付加工程は、当該小領域の面積率に応じて前記ダミーパターンセルから所望のダミーパターンセルを選択する工程を含むことを特徴とする請求項 2 に記載の半導体装置用パターンの生成方法。

【請求項 4】 ダミーパターン形成後の面積率を算出し、あらかじめ決められた条件の範囲内であるか否かを判定して、前記条件の範囲内に入っていない場合に、前記ダミーパターンのうちいくつかを取替え、最適のダミーパターンセルを選択する工程とを含むことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 5】 前記レイアウトパターンの形成工程は、配線層形成のためのマスク

パターンの形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 6】前記レイアウトパターンの形成工程は、拡散層形成のためのマスクパターンの形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 7】前記レイアウトパターンの形成工程は、ゲート電極形成のためのマスクパターンの形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 8】前記レイアウトパターンの形成工程は、ウェル形成のためのマスクパターンの形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置用パターン生成方法。

【請求項 9】前記ダミーパターンが MOS 容量セルを構成するように、垂直方向のレイアウトを調整する工程を含むことを特徴とする請求項 1 に記載の半導体装置用パターン生成方法。

【請求項 10】前記 MOS 容量セルは、前記ダミーパターンの集合からなるダミーパターンセルによって電源配線及びグランド配線に電氣的に接続されていることを特徴とする請求項 9 に記載の半導体装置用パターン生成方法。

【請求項 11】前記ダミーパターンセルが交差パターンを有し、交差パターンの上層または下層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されたことを特徴とする請求項 10 に記載の半導体装置用パターン生成方法。

【請求項 12】前記ダミーパターンセルは、十字状パターンと前記十字状パターンで分割された 4 つの領域にそれぞれ孤立の島状パターンを有する第 1 層セルと、前記第 1 層セルと連続する上層または下層に位置し、4 個の前記島状パターンに相当する 4 点で交差するように配置されたシャープ符号状パターンからなる第 2 層セルとで構成されており、第 1 層および第 2 層のそれぞれが電源線および接地線を構成していることを特徴とする請求項 11 に記載の半導体装置用パターン生成方法。

【請求項 13】半導体チップのレイアウトデータからレイアウトパターンを形成

するレイアウトパターン形成手段と、

このレイアウトパターンの少なくとも1つの層に対し、前記レイアウトパターンに基づいて空き領域検出を行う空き領域検出手段と、

デザインルールに基づく当該層のパターン形成のための最適面積率を抽出する最適面積率抽出手段と、

前記空き領域検出手段から前記層の面積率を算出し、前記最適面積率となるように、ダミーパターンを配置するダミーパターン配置手段とを具備したことを特徴とする半導体装置用パターン生成装置。

【請求項14】請求項1乃至12のいずれかに記載の方法または請求項13に記載の装置を用いて生成された半導体装置用パターンに基づいて、各工程のマスクパターンを形成する工程と、

前記マスクパターンを用いて各プロセスを実行し半導体装置を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項15】請求項1乃至12のいずれかに記載の方法または請求項13に記載の装置を用いて生成された半導体装置用パターンを備えた半導体装置。

【請求項16】前記半導体装置用パターンは、同一サイズであって電氣的接続をなさないダミーパターンの集合体を備え、各層のダミーパターンの少なくともひとつが当該層の上層または下層のダミーパターンと垂直方向で一致する領域を含むことを特徴とする請求項15の記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体装置の生成方法、半導体装置の製造方法および半導体装置の生成装置に係り、特に半導体装置のプロセス条件に応じて高精度のパターン形成が可能でかつ表面の平坦化をはかることのできる半導体装置用パターンの生成に関するものである。

【0002】

【従来の技術】

半導体装置特に高集積化半導体装置（LSI）の微細化、高集積化は進む一方で

あり、微細かつ複雑なパターン形成を行う必要が高まっている。このような状況の中で、設計どおりのパターン形成を行うためにはプロセス条件の制約は高まる一方である。半導体装置の形成に際しては、半導体基板表面に素子分離を行うとともに所望の濃度のウェルを形成し、このウェル内に所望の導電型の不純物拡散領域を形成し、さらには絶縁膜の形成および配線パターンの形成を行うように構成されている。

【0003】

例えば配線パターンの形成に際しては、多結晶シリコン層、アルミニウム層、金属シリサイド層などの導電性膜を形成した後、フォトリソグラフィにより所望のマスクパターンを形成し、このマスクパターンをマスクとしてエッチングを行うことにより、配線パターンの形成がなされる。

エッチング工程においては、マスクパターンから露呈する導電性膜が選択的に除去されるが、エッチャントの濃度、温度などの諸条件を最適化しても、マスクパターンの密度（面積率）ひいてはマスクパターンの周辺長によってエッチング速度にばらつきがある。このため、マスクパターンの密度あるいはパターンピッチによって、エッチング精度が異なり、マスクパターン領域が大き過ぎても小さ過ぎてもエッチング精度が低下するという問題があった。

【0004】

また、拡散層の形成についても同様の問題があり、拡散層形成のためのイオン注入領域が狭過ぎると、イオンの集中が生じ、所望の拡散プロファイルを得ることができないという問題があった。

【0005】

また基板表面の平坦化のためにCMP（Chemical Mechanical Etching）という方法が提案されている。この方法は、例えば、塗布法あるいはCVD法などにより、表面に絶縁膜を形成した後、機械的に研磨しながら、化学的にエッチングを行うことにより、表面の平坦化をはかるものである。しかしながら、下層の配線層のパターン密度が小さい場合、所定面積以上のパターンのない領域が存在すると、絶縁膜を厚く形成しても平坦化できず、その結果CMPを行っても配線パターンのない領域が凹部となり、へこんだ状態のままとなる。

【0006】**【発明が解決しようとする課題】**

このように、レイアウトパターンに偏りがある場合、当該層について十分なパターン精度を得ることができないのみならず、当該層よりも上層のパターン精度にも影響を及ぼすという問題があり、プロセス精度を十分に得ることができないという問題があった。

このような状況下、各製品においてLSIはキーデバイスとして位置付けられており、製品の競争力確保のために、LSIの大規模化・高速化が要求されている。製品サイクルが短くなる中で、これらの要求にこたえるためにはLSI設計の自動化が必須である。

【0007】

本発明は前記実情に鑑みてなされたもので、高精度で信頼性の高い半導体装置を形成することのできる半導体装置用パターンの生成方法を提供することを目的とする。

【0008】

また、確実なる電源ノイズの低減を求めて、パターン生成の自動化を容易にすることを目的とする。

【0009】

また、さらに確実なる電源ノイズの低減を求めて占有面積を増大することなく、より大容量の容量を形成することを目的とする。

【0010】**【課題を解決するための手段】**

そこで本発明の半導体装置用パターン生成方法では、半導体チップのレイアウトパターンを設計し配置するレイアウトパターン形成工程と、前記レイアウトパターンから当該マスクパターンの面積率を抽出する工程と、前記レイアウトパターンを構成する層のプロセス条件にもとづいて得られる当該層のレイアウトパターンの最適面積率を考慮して、前記層のマスクパターンの面積率をあわせるように、前記レイアウトパターンに、ダミーパターンを付加配置するダミーパターン付加工程とを含み、当該層が最適面積率となるようにしたことを特徴とする。

【0011】

かかる方法によれば、プロセス条件を考慮し、回路の機能的にはパターンに必要な領域にもダミーパターンを形成しておくことで、エッチング種、注入イオンなどの集中を防ぐことができるとともに、またマクロな次元での平坦化を防ぐことができ、パターン精度の向上および拡散層の不純物プロファイルの最適化、あるいは表面の平坦化をはかることが可能となる。なおここで最適面積率に符合するように調整を行うが、この調整に際しては、プロセス条件などで決まる最適の面積率、あるいは諸条件を考慮して最適面積率に近い目標面積率を目標値として調整を行うことが重要である。

【0012】

望ましくは、さらにレイアウトパターン形成工程で形成されたレイアウトパターンを所望の大きさの小領域に分割する工程と、分割された前記小領域毎にマスクパターンの面積率を抽出する工程と、前記レイアウトパターンに対応するマスクパターンの面積率をあわせるように、ダミーパターンを付加配置するダミーパターン付加工程とを含み、前記小領域毎にパターン全体としての面積率を揃えるようにしたことを特徴とする。

【0013】

かかる構成によれば、小領域毎に、面積率をそろえることにより、当該層全体として面積率を均質化するとともに最適化することが可能となる。また小領域毎に追加するダミーパターンの大きさとピッチとを調整することにより、容易に面積率の最適化をはかることが可能となる。

【0014】

望ましくは、さらに面積率の異なるダミーパターンセルを複数種用意する工程を含み、前記ダミーパターン付加工程は、当該小領域の面積率に応じて前記ダミーパターンセルから所望のダミーパターンセルを選択する工程を含むことを特徴とする。

【0015】

かかる構成によれば、面積率の異なるダミーパターンセルから、最適なダミーパターンセルを選択することにより、容易に面積率をそろえることができ、当該

層全体として面積率を最適化することが可能となる。またこの複数種のダミーパターンセルは、小領域毎に大きさとピッチとの異なる追加ダミーパターンを用意することにより、容易に最適なダミーパターンセルを選択することが可能となる。

【0016】

望ましくは、パターン形成後の面積率を算出し、あらかじめ決められた条件の範囲内であるか否かを判定して、前記条件の範囲内に入っていない場合に、前記ダミーパターンのうちいくつかを取替え、最適のダミーパターンセルを選択する工程とを含むことを特徴とする。

【0017】

望ましくは、前記レイアウトパターンの形成工程は、配線層形成のためのマスクパターンの形成工程を含むことを特徴とする。

【0018】

望ましくは、前記レイアウトパターンの形成工程は、拡散層形成のためのマスクパターンの形成工程を含むことを特徴とする。

【0019】

望ましくは、前記レイアウトパターンの形成工程は、ゲート電極形成のためのマスクパターンの形成工程を含むことを特徴とする。

【0020】

望ましくは、前記レイアウトパターンの形成工程は、ウェル形成のためのマスクパターンの形成工程を含むことを特徴とする。

【0021】

望ましくは、前記ダミーパターンがMOS容量セルを構成するように、垂直方向のレイアウトを調整する工程を含むことを特徴とする。

【0022】

かかる構成によれば、垂直方向のレイアウトを調整することにより、拡散領域上にゲート酸化膜を介して導電性パターンの形成された領域を得ることができ、拡散領域と導電性パターンを接地配線と電源配線など、互いに異なる電位に接続するようにすれば容量素子として利用することが可能となる。従ってプロセス条

件に応じた高精度パターンを形成することが可能となる上、デカップリング容量の挿入を行うことができ、不要輻射（EMI）対策を自動的に行うことが可能となる。

【0023】

望ましくは、前記MOS容量セルは、ダミーパターンの集合からなるダミーパターンセルによって電源配線及びグランド配線に電氣的に接続されるようにすれば、特別な電位形成のための回路を付加することなく、容易にMOS容量セルを形成することが可能となる。

【0024】

望ましくは、前記ダミーパターンセルが交差パターンを有し、交差パターンの上層または下層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されたことを特徴とする。

【0025】

かかる構成によれば、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。また接続したり、接続することなく浮遊状態にしたりするために、孤立パターンにスルーホールを形成するか否かで、容易に接続状態をコントロールすることが可能となる。

また、電源直下に敷き詰められたデカップリング容量は、直上にビアをうてば電源電位との接続が容易となる。ここで電源配線が上位層である場合には、容量の上部があいていれば（信号線が形成されていなければ）自動的にスタック用のビアおよびパッドを形成するようにする。

一方電源配線から離れたところに配置された容量は、配線を十字状に形成して容量セルと等ピッチで形成するようにすれば、容易に接続可能である。

【0026】

望ましくは、前記ダミーパターンセルは、十字状パターンと前記十字状パターンで分割された4つの領域にそれぞれ孤立の島状パターンを有する第1層セルと、前記第1層セルと連続する上層または下層に位置し、前記4個の島状パターンに相当する4点で交差するように配置されたシャープ符号状パターンの中央に孤

立の島状パターンを有する第2層セルとで構成されており、第1層および第2層のそれぞれが電源線および接地線を構成していることを特徴とする。

【0027】

かかる構成によれば、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続したり、接続することなく浮遊状態にしたりすることができ、極めてシンプルなダミーパターンセルを構成するものである。

【0028】

例えば、高耐圧である必要があるアナログ回路領域では、ゲート酸化膜の膜厚を大きくする必要があるのに対し、他の論理回路領域ではゲート酸化膜の膜厚は大きくする必要がない。そこで、アナログ回路領域ではゲート酸化膜の膜厚を大きくし、他の論理回路領域ではデカップリング容量を大きくするためゲート酸化膜の膜厚を比較的小さくした構造が提案されている。しかしながら近年、ゲートリークの問題が浮き彫りになってきており、信頼性の向上を目指して、論理回路領域でも厚いゲート酸化膜を採用する傾向にある。

【0029】

このような状況においても、本発明によれば、空き領域を抽出し最大限に多くデカップリング容量を形成することができるため、ゲートリークの低減とデカップリング容量の増大というトレードオフ関係にある機能を満たすことが可能となる。すなわちゲートリークを低減しながら、デカップリング容量を増大することが可能となる。

このようにして、自動的に半導体装置のパターン生成を行うことが可能となる。

【0030】

また、本発明の半導体装置用パターン生成装置は、半導体チップのレイアウトデータからレイアウトパターンを形成するレイアウトパターン形成手段と、このレイアウトパターンの少なくとも1つの層に対し、前記レイアウトパターンに基づいて空き領域検出を行う空き領域検出手段と、デザインルールに基づく当該層のパターン形成のための最適面積率を抽出する最適面積率抽出手段と、前記空き領域検出手段から前記層の面積率を算出し、前記最適面積率となるように、ダミ

ーパターンを配置するダミーパターン配置手段とを具備したことを特徴とする。

【0031】

本発明の半導体装置の製造方法では、上記方法または装置を用いて生成された半導体装置用パターンに基づいて、各工程のマスクパターンを形成する工程と、前記マスクパターンを用いて各プロセスを実行し半導体装置を形成する工程とを含むことを特徴とする。

【0032】

また本発明の半導体装置は、上記方法または装置を用いて生成された半導体装置用パターンを具備している。

【0033】

望ましくは、前記半導体装置用パターンは、同一サイズであって電氣的接続をなさないダミーパターンの集合体を備え、各層のダミーパターンの少なくともひとつが当該層の上層または下層のダミーパターンと垂直方向で一致する領域を含むことを特徴とする。

【0034】

同一サイズのダミーパターンを垂直方向で位置合わせし、配列することにより、最適面積率を満たすように配列すれば、自動的に重なりを持つ領域を形成することができる。また、同一サイズのパターンを適宜配列することにより周辺長もすべて同一であり、周辺長の調整も容易である。

【0035】

なお、ここで機能素子とは、トランジスタ、メモリ、配線などLSIを構成する機能素子を含むものとする。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。

(第1の実施の形態)

図1は、本発明の実施の形態におけるパターン生成装置を示すブロック図である。この装置では、各層ごとにプロセス条件に従って決まる最適面積率を考慮してダミーパターンを配置しレイアウトパターンを形成するものである。

【0037】

ここでは図1に示すように、不要輻射対策を考慮したLSIの開発を終え、レイアウト検証も終了した半導体チップのレイアウトデータからレイアウトパターンを形成するレイアウトパターン形成手段1101と、このレイアウトパターンに基づいて層毎の空き領域検出を行う空き領域検出手段1102と、デザインルール1103に基づく各層のパターン形成のための最適面積率を抽出する最適面積率抽出手段1104と、空き領域検出手段1102から各層の面積率を算出し、最適面積率となるように、ダミーパターンを配置するダミーパターン配置手段1105と、更にこれらのダミーパターンのうち拡散領域とゲート導体との間の垂直方向の位置関係を考慮し、デカップリング容量を付加可能であるかどうかを判断し可能である領域には電源配線およびグランド配線との接続を行う容量配置手段1106とを具備し、プロセス条件に応じて最適化のなされたレイアウトパターンデータをレイアウトパターン形成手段1101から出力するように構成されている。

ここでデザインルールにより算出したテクノロジーとは、セル、バイパスコンデンサ、配線などの部材の大きさを、拡散、スパッタリング、エッチングなどの各プロセスのデザインルールによって定義したものをいう。

【0038】

すなわちこのパターン生成装置では、図2及び図3にフローチャートを示すようにして最適化のなされたレイアウトパターンを形成する。

【0039】

まず、不要輻射対策を考慮したLSIの開発を終え、レイアウト検証も終了した半導体チップのレイアウトデータ（図5参照）（1201）から、トランジスタ配置領域Tを抽出する（図6参照）（ステップ1202）。ここで全工程にわたって、レイアウトデータは半導体チップの左下及び右上を位置合わせし、当該2点を基準として生成されるものとする。

【0040】

そして、このトランジスタ配置領域Tと当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上でトランジスタの配置されてい

い領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（論理演算ステップS1203）。この反転によりトランジスタの配置されていない領域が得られ、これをリサイズにより縮小することにより、図7に示したようにダミーパターンセル形成可能な空き領域Vが得られる。

【0041】

さらにデザインルール（S1204）にもとづき形成可能な隣接パターン間距離を考慮し、ダミーパターン形成可能領域を抽出する（ステップS1205）。ここでは拡散層、ゲート導体と層毎にステップS1205を実行する。

この後、拡散領域形成用ダミーパターン用種データおよびゲート導体形成用ダミーパターン用種データを生成する（ステップS1206）。

【0042】

そして、これら各層についての拡散領域形成用ダミーパターン用種データおよびゲート導体形成用ダミーパターン用種データのそれぞれとダミーパターン形成可能領域とを論理演算し（ステップS1207）、図8に示すようにこの拡散領域形成用ダミーパターン用種パターンおよびゲート導体形成用ダミーパターンデカップリング容量用種パターンのみの半導体装置を得る（ステップS1208）。

【0043】

一方また前記半導体チップのレイアウトデータ（1201）から、全配線パターンを抽出する（ステップ1302）。

【0044】

そして、この配線パターン配置領域と当該半導体チップ領域とを論理演算にかけ、反転させることにより、半導体チップ上で配線の配置されていない領域を抽出し、この領域を所定幅Wだけ小さくするリサイズ工程を実行する（論理演算ステップ1303）。この反転により配線配置されていない領域が得られ、これをリサイズにより縮小することにより、配線層ダミーパターンセル形成可能な空き領域が得られる。

【0045】

さらにデザインルール（1304）にもとづき形成可能な隣接パターン間距離

を考慮し、ダミー配線形成可能領域を抽出する（ステップ1305）。

【0046】

この後ダミー配線用種データを生成する（ステップ1306）。
そして、このダミー配線用種データと、配線層ダミーパターンセル形成可能な空き領域VCとを論理演算し（ステップ1307）、この配線層ダミー用種パターンのみの半導体装置を得る（ステップ1308）。

【0047】

このようにして得られた配線層ダミー用種パターンと拡散領域形成用ダミーパターン用種データ、ゲート導体形成用種データとを合成し（ステップ1500）、各ブロック（小領域）毎にゲート導体、拡散領域及び配線について合成を行う。そして各層に対して各ブロックごとに面積率を抽出する（ステップ1800）。そして、差し替え用図形パターンを複数種用意しておき（ステップ1501）、境界にかかって形成不可能な領域では小さい種パターンと差し替えを行い、形成可能な領域には、最適な種パターン差し替えを行い（ステップ1502）、目標面積率に沿うように最適化された拡散層用ダミーパターン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置を得る（ステップ1600）。

【0048】

ここでブロックとは1チップ全体ではなく、ある程度の大きさのウインドウを持った枠を用い、その枠内で面積率計算を行っていく。このようにして、もともとのオリジナルレイアウト中に面積率が高いパターンが存在するウインドウ内の空き領域には、面積率が高めのダミーパターンを配置することが可能となり、チップ全体の平坦化に極めて有効な手法となる。

【0049】

このようにして最適面積率に基づいて設定された目標面積率に沿うように最適化された拡散領域用ダミーパターン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置が完成する。

【0050】

この後、前記ステップ1600で得られた最適化された拡散層用ダミーパター

ン、ゲート導体用ダミーパターン、配線層用ダミーパターンのみの半導体装置のレイアウトパターンに、前記半導体チップのレイアウトデータ（201）から抽出されたレイアウトパターンとを層毎に合成する（ステップ1606）。このようにダミーパターンのない半導体装置のレイアウトデータを合成することにより、未トランジスタ、未配線領域にダミーパターンのある半導体装置が完成する。

【0051】

この後、プロセス条件から、1チップとしてのゲート導体、拡散層、配線の最適面積率を算出する（1901）。

そして再度1チップとして面積率計算を行い、面積率が足りなかったり多すぎたりする場合は、差し替え用図形パターン2000から適切にダミーパターンセルを差し替える（ステップ2001）。例えば図9（a）および（b）に示すように面積率が足りなかった場合は、小さいダミーパターンD1から大きいダミーパターンセルD2に変更する。

【0052】

このようにして、1チップとして最適な面積率に調整されたダミーパターンが生成される（ステップ2002）。

【0053】

ここでセルの差し替えステップ2001では、均一にダミーパターンを配置した場所はあらかじめ特定できるので、差し替えを行うことができる。例えば、面積率が足りない場合は、均一に配置した領域中のダミーパターンを均等に面積率の大きいものに変更する等の方法で所望の面積率に調整されたダミーパターンが生成される。一方面積率が大きすぎる場合は、均一に配置した領域中のダミーパターンを均等に面積率の小さいものに変更することによって所望の面積率に調整されたダミーパターンが生成される。

【0054】

このようにして、高いパターン精度を持つ半導体装置を得ることができる。

例えば配線パターンの形成に際しては、前記工程で得られた配線のレイアウトパターンに基づいて、フォトリソグラフィにより形成されたマスクパターンをマスクとしてエッチングを行うことにより、配線パターンの形成がなされる。

【0055】

エッチング工程においては、マスクパターンから露呈する導電性膜が選択的に除去されるが、エッチャントの濃度、温度などの諸条件を考慮した最適化面積率となるように、マスクパターンの密度（面積率）ひいてはマスクパターンの周辺長を調整しているため、エッチング精度の高い配線パターンを形成することができる。

【0056】

また、拡散層の形成についても、拡散条件に応じた最適面積率となるように、ダミーパターンを付加しているため、拡散領域のない部分が連続して形成されるのを防ぐことができる。すなわち、大面積の素子分離領域が形成されるのを防ぐことができ、分離の段差を抑えることができる。

【0057】

またCMP工程では、基板表面の平坦化のために、塗布法あるいはCVD法などにより、表面に絶縁膜を形成した後、機械的に研磨しながら、化学的にエッチングを行うことにより、表面の平坦化をはかるが、この工程ではCMPの下地として用いる配線層のパターン密度は例えば65%以上となっているため、CMPによって、配線パターンのない領域が凹部となり、へこんだ状態のままとなるようなこともない。

【0058】

このようにして、レイアウトパターンに偏りがある場合、当該層について十分なパターン精度を得ることができないのみならず、当該層よりも上層のパターン精度にも影響を及ぼし、プロセス精度を十分に得ることができないという問題があったが、上記面積率の調整ステップを行うことにより、プロセス精度を高めることができる。

このように高精度のパターンを得ることが可能となる。

【0059】

そしてさらに不要輻射対策として、デカップリング容量をさらに増大する必要がある場合には、図4にフローチャートを示すように、デカップリング容量の追加を行う。

まずステップ2002で得られたダミーパターンの付加により面積率の最適化された半導体装置のレイアウトパターンに対し、デカップリング容量の追加を希望するか否かの判断を行い（ステップ2003）、要であるとデカップリング容量配置可能スペースを抽出する（ステップ2004）。ここでは、拡散領域パターンとゲート導体パターンとが垂直方向で一致して存在しているか否かを判断し、図10に示すように、デカップリング容量形成可能スペースCSを抽出する。本実施の形態では、各層のパターン配置をする際にチップの左下と右上を確認し位置決めを行っているため、各層のダミーパターンを同一ピッチで配置し、全使用、1個おき、2個おきなどピッチを調整して面積率を調整すれば、垂直方向には自動的に重なるようにすることが可能である。

【0060】

従って、差し替え用デカップリング図形パターン2006を用いてデカップリング容量差し替えを行う（ステップ2005）。そしてさらに、図11に示すように電源配線VDD及びグランド配線VSSを追加し、図12に示すように面積率調整およびデカップリング容量付加のなされた半導体装置のレイアウトパターンを生成する（ステップ2008）。ここでは、拡散領域パターン、ゲート導体パターンのいずれかを調整することにより、デカップリング容量付加を行うことが可能となる。

【0061】

このようにして、半導体装置の最適レイアウトデータを得ることができる。

【0062】

また、電源配線及びグランド配線とデカップリング容量セルとの接続については、直接接続できない場合には、以下に示すようにダミー配線セルを用いるようにしておくことにより、容易に達成可能である。

【0063】

この電源接続用図形パターンは、図13（a）乃至（c）に示すように、半導体基板1に形成された拡散領域1Sとゲート電極3とがゲート酸化膜2を絶縁膜として挟んだMOS容量セルの上に、接続用として形成したダミーパターンセルである。このダミーパターンセルは交差パターンを有し、交差パターンの上層または

下層のダミーパターンセルが相互に、前記交差パターンの交差領域に相当する領域に島状の孤立パターンをもつように構成されている。

【0064】

すなわち、このダミーパターンセルは、図13(b)に示すように、十字状パターンと前記十字状パターンで分割された4つの領域にそれぞれ孤立の島状パターンを有する第1層セル4と、前記第1層セル4と連続する上層または下層に位置し、図13(c)に示すように、前記4個の島状パターンに相当する4点で交差するように配置されたシャープ符号状パターンからなる第2層セル5とで構成されており、第1層および第2層のそれぞれが電源配線およびグランド配線を構成していることを特徴とする。ここで、図13(a)および図13(b)はそれぞれ図13(c)のA-A断面、およびB-B断面を示す図である。10は層間絶縁膜である。

【0065】

このようにして、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。また接続したり、接続することなく浮遊状態にしたりするために、孤立パターンにスルーホールを形成するか否かで、容易に接続状態をコントロールすることが可能となる。また孤立パターンを貫通するようにスルーホールを形成することにより、1層とばしで、上層側または下層側で電源電位に接続できればよい。

【0066】

また、電源直下に敷き詰められたデカップリング容量は、直上にビアをうてば電源電位との接続が容易となる。ここでMOS容量セルの上部があいていれば（信号線が形成されていなければ）自動的にスタック用のビアおよびパッドを形成するようにする。

【0067】

このようにして電源配線から離れたところに配置されたものであっても、デカップリング容量の増大をはかることができる。また配線を十字状に形成してMOS容量セルと等ピッチで形成することにより、容易に接続可能である。

【0068】

(第2の実施の形態)

次に本発明の第2の実施の形態として、面積率の最適化の他の例を説明する。

前記第1の実施の形態における、ステップS2002(図3)で説明した最適化ステップを実行し、図17に全体のイメージ図を示すように、目標面積率に沿うように各層に正方形のダミードットパターン201D、202D、203Dからなるダミーパターンを追加する。図18乃至図20は図17の拡散領域、ゲート配線、配線層の最適化ダミードットパターン201D、202D、203Dである。各層毎の最適面積率に従ってダミードットパターンの密度が設定されている。

この図からわかるように、各層のダミードットパターンはチップの右上と左下で位置合わせがなされているため、垂直方向で重なるようになっている。

この後ステップS2003(図4)でデカップリング容量が必要であるかどうかを判断し、必要であると判断した場合は、ステップ2005でデカップリング容量差し替えステップを実行し、図21乃至図24に示すように、各層毎に各ダミーパターンセルが接続されるような拡散領域ダミーパターン201、ゲートダミーパターン202、配線ゲートパターン203に差し替えを行う。ただし、上層あるいは下層も含めて信号線を抽出し、信号線のある領域はデカップリング容量形成不可領域として、ダミーパターンを元のドットパターン201D、202D、203Dに戻す。このようにして、デカップリング容量が良好に追加される。

【0069】

ここで拡散領域ダミーパターン201、ゲートダミーパターン202、配線ゲートパターン203の面積率は、拡散領域ダミードットパターン201D、ゲートダミードットパターン202D、配線ゲートドットパターン203Dと面積率が同一となるように設計しておくことにより、差し替えにより面積率が変化することなく、最適面積率を維持することができる。

【0070】

(第3の実施の形態)

また接続用ダミーパターンセルの変形例として、図14(a)乃至(c)に示

すような構造も有効である。すなわち、このダミーパターンセルは、図14(a)に単位ユニット、図14(b)にその接続体、図14(c)に断面図を示すように、セルと等ピッチで形成された、十字状パターンを有する第1層セル4、6、8と、前記第1層セル4、6、8と連続する上層または下層に位置するシャープ符号状パターンからなる第2層セル5、7、9とを相互にずらして形成してもよい。

ここで、図14(a)は1ユニット、図14(b)はその組み合わせ、図14(c)は図14(b)のA-A断面を示す図である。10は層間絶縁膜である。

【0071】

かかる構成によれば、電源配線及びグランド配線への接続は敷き詰められたセル近傍へは横方向に接続、またセルの上方向に電源あるいはグランド配線があれば上層の配線で接続すればよい。

このようにして、MOS容量セルを電源電位あるいは接地電位などの所望の電位に接続するのに配線長を低減し接続を容易にすることができる。

【0072】

(第4の実施の形態)

また、電源配線及びグランド配線への接続に際し、配線が利用できないときは、図15に示すように、セルを配置した状態で拡散層1S同士、ゲート3同士が接続されるようなセル形状をとるようにしてもよい。

かかる構成によれば、どこか一部でも電源配線、あるいはグランド配線に接続できれば接続された全セルをセルとして利用することが可能である。

(第5の実施の形態)

また図16に示すように、拡散層1S同士をさらに、配線Mで接続するようにしてもよい。

かかる構成によれば、更なる接続の確実化をはかることができる。

【0073】

(第6の実施の形態)

本発明の方法は、MOS容量セルとしてゲート酸化膜の厚い領域と薄い領域とを有するLSIにおいても、本発明の方法によれば、自動配置配線が容易であるため、

用途に応じた条件を加味して自動配置配線を行うことができる。

例えば、高耐圧である必要があるアナログ回路領域などでは、ゲート酸化膜の膜厚を大きくする必要があるのに対し、他の論理回路領域ではゲート酸化膜の膜厚は大きくする必要がない。そこで、アナログ回路領域ではゲート酸化膜の膜厚を大きくし、他の論理回路領域ではデカップリング容量を大きくするためゲート酸化膜の膜厚を比較的小さくした構造が望ましいが、近年、半導体装置の高集積化・高機能化に伴い、ゲートリークの問題が浮き彫りになってきており、信頼性の向上を目指して、論理回路領域でも厚いゲート酸化膜を採用する傾向にある。例えば、アナログ回路領域を耐圧 3.3V仕様、他の論理回路領域を耐圧 1.5Vといていたのに対し、近年では他の論理回路領域でも耐圧 3.3Vとするものが出現している。このような場合、論理回路領域で不要輻射対策としてデカップリング容量を増大したい場合に、デカップリング容量を最大限に付加することが可能となる。

【0074】

このように、本発明によれば、空き領域を抽出し最大限に多くデカップリング容量を形成することができるため、ゲートリークの低減とデカップリング容量の増大というトレードオフ関係にある機能を満たすことが可能となる。すなわちゲートリークを低減しながら、デカップリング容量を増大することが可能となる。

【0075】

このようにして、高周波動作による不要輻射ノイズを低減する機能の高い半導体装置を提供することが可能となる。

【0076】

また、仕様を考慮して、デザインルールから領域の状況を判断し、領域毎に特性の異なるバイパスコンデンサを設けることも可能である。例えば、電源配線に近い、チップの外周部では、サージ対策のために高耐圧である必要があるのに対し、内部では特に高耐圧である必要はないため、チップ外周近傍ではゲート絶縁膜を厚くし、内部では薄くしている。

【0077】

また、チップ外周近傍でのみ多層構造のゲート絶縁膜とするなどの方法を取る

ようにしてもよい。

また機能素子の近傍では周波数特性が重要であり、高周波用である場合は大容量のバイパスコンデンサを形成する必要があるのに対し、低周波用である場合には小容量のバイパスコンデンサとなるように、使用する周波数帯域に応じて適切なものを選択してもよい。

【0078】

さらにまたPチャネルの容量セルとNチャネルの容量セルとを用意しておき、Pチャネルの容量セルの電源供給ができない場合はNチャネルの容量セルを配置しなおすようにすることも可能である。

【0079】

さらにまたPチャネルとNチャネルの両方の容量をもつ容量セルとを用意しておき、PチャネルとNチャネルの両方の容量を配置しておくことにより、偏りを無くし、均一性を確保することができ、イオンの集中を防止し、所望の拡散プロファイルを得ることができる。

【0080】

【発明の効果】

以上説明したように、本発明の半導体装置は、プロセス条件に基づいて面積率が最適となるようにダミーパターンを形成しているため、高精度で信頼性の高い半導体装置を提供することが可能となる。

【0081】

また、パターンの生成に際しても、チップのレイアウトパターンを生成した後、空き領域（他のレイヤーがまったく存在しない場所）を、図形論理演算、リサイズ処理を利用して、自動的に探し出し、この探し出した領域に対し、面積率が最適となるようにダミーパターンを付加するもので、自動的にパターン生成が可能である。またこれを垂直方向の関連付けによりデカップリング容量を形成するようにすれば、高精度のノイズ低減が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態のパターン生成装置を示すブロック図である。

。

【図 2】 本発明の第 1 の実施の形態のパターン生成方法を示すフローチャートである。

【図 3】 本発明の第 1 の実施の形態のパターン生成方法を示すフローチャートである。

【図 4】 本発明の第 1 の実施の形態のパターン生成方法を示すフローチャートである。

【図 5】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 6】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 7】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 8】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 9】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 1 0】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 1 1】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 1 2】 本発明の第 1 の実施の形態のパターン生成プロセスを示す説明図である。

【図 1 3】 本発明の第 3 の実施の形態を示す図である。

【図 1 4】 本発明の第 4 の実施の形態を示す図である。

【図 1 5】 本発明の第 5 の実施の形態を示す図である。

【図 1 6】 本発明の第 6 の実施の形態を示す図である。

【図 1 7】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 1 8】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

る。

【図 1 9】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 2 0】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 2 1】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 2 2】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 2 3】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【図 2 4】 本発明の第 2 の実施の形態のパターン生成プロセスを示す説明図である。

【符号の説明】

1 1 0 1 レイアウトパターン形成手段

1 1 0 2 層毎の空き領域検出手段

1 1 0 3 デザインルール

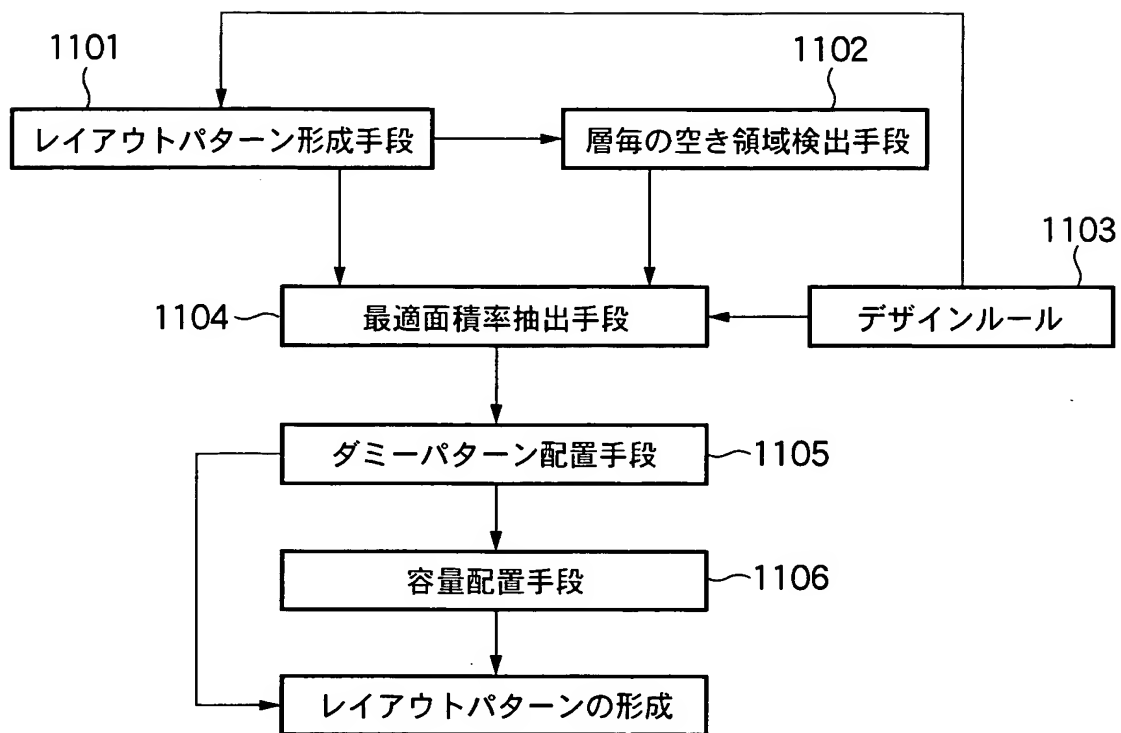
1 1 0 4 最適面積率抽出手段

1 1 0 5 ダミーパターン配置手段

1 1 0 6 容量配置手段

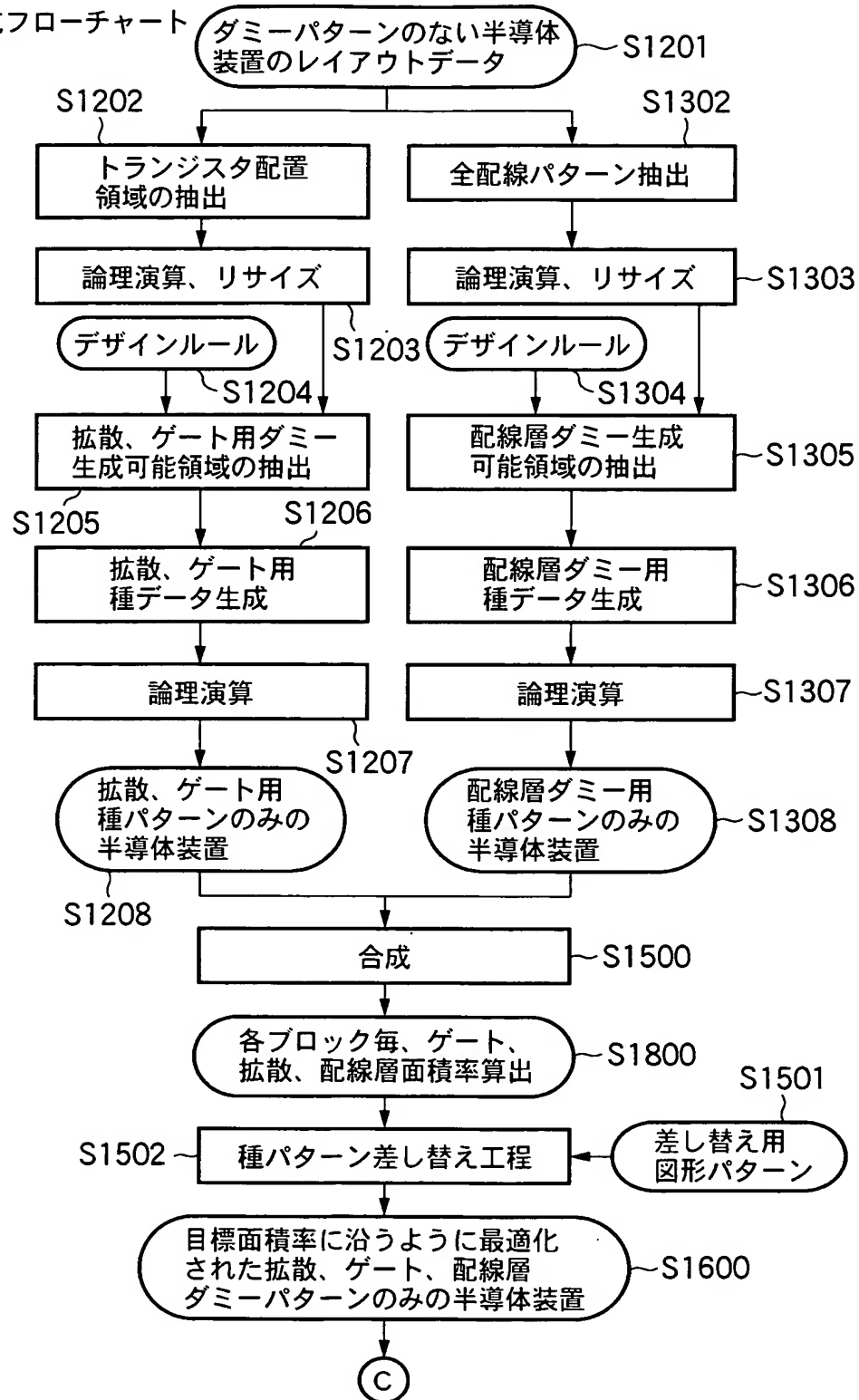
【書類名】 図面

【図 1】

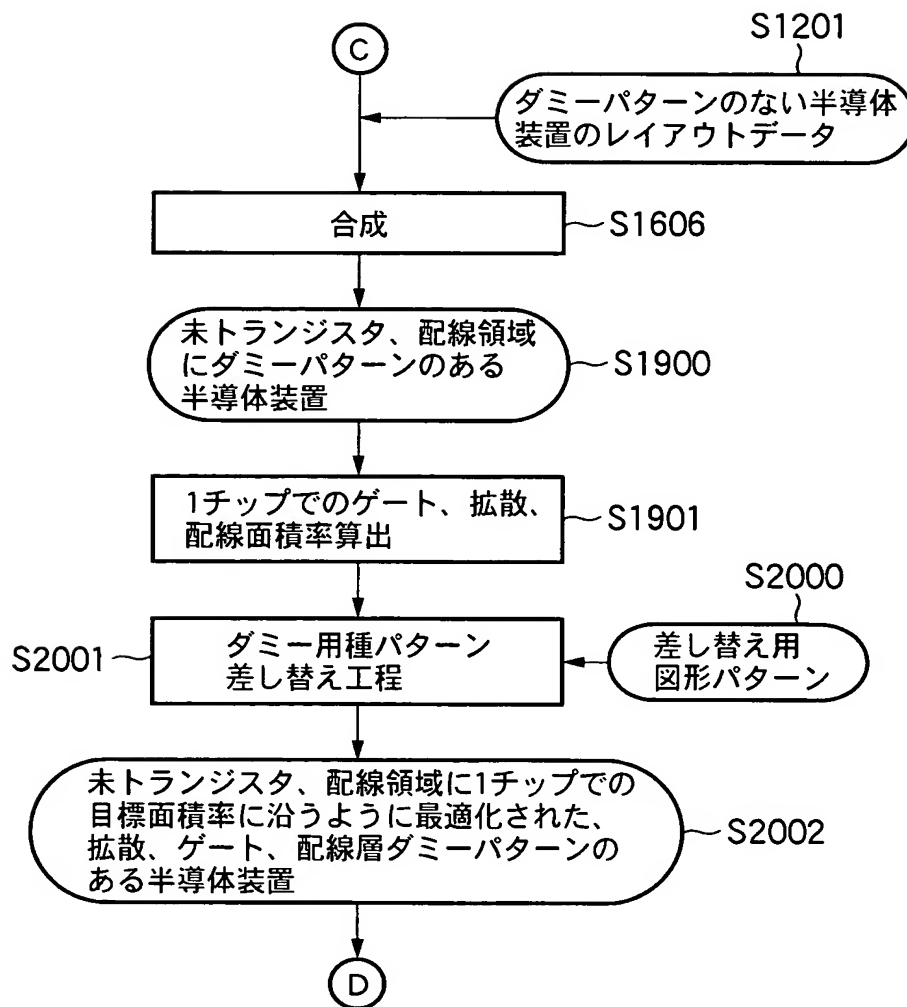


【図 2】

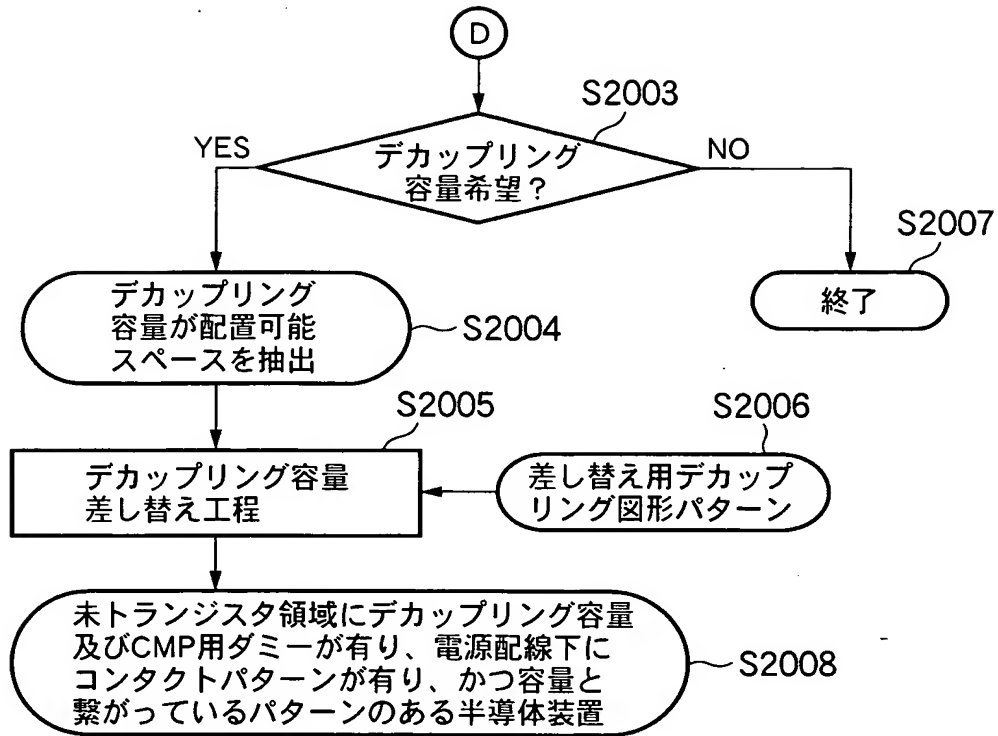
ダミー生成フローチャート



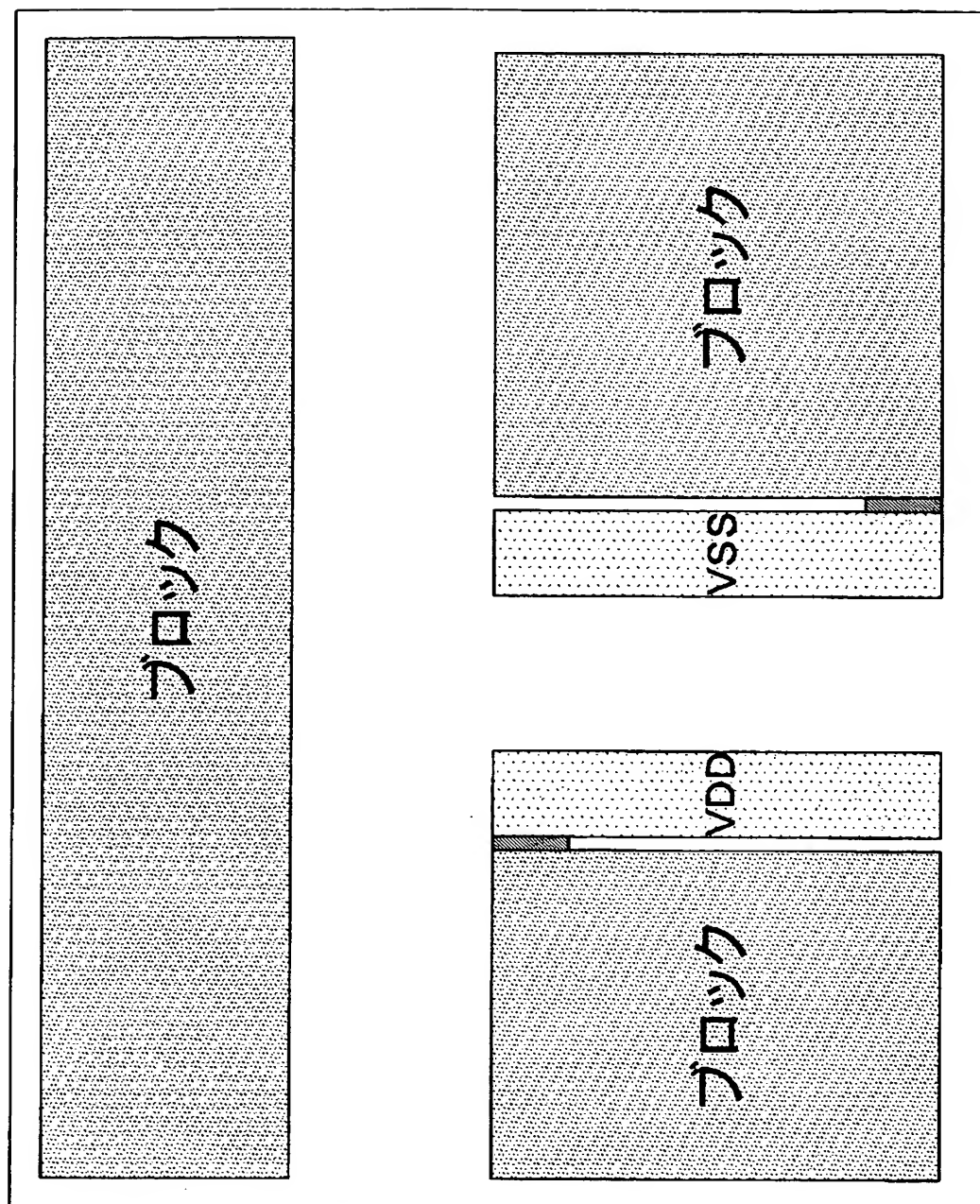
【図 3】



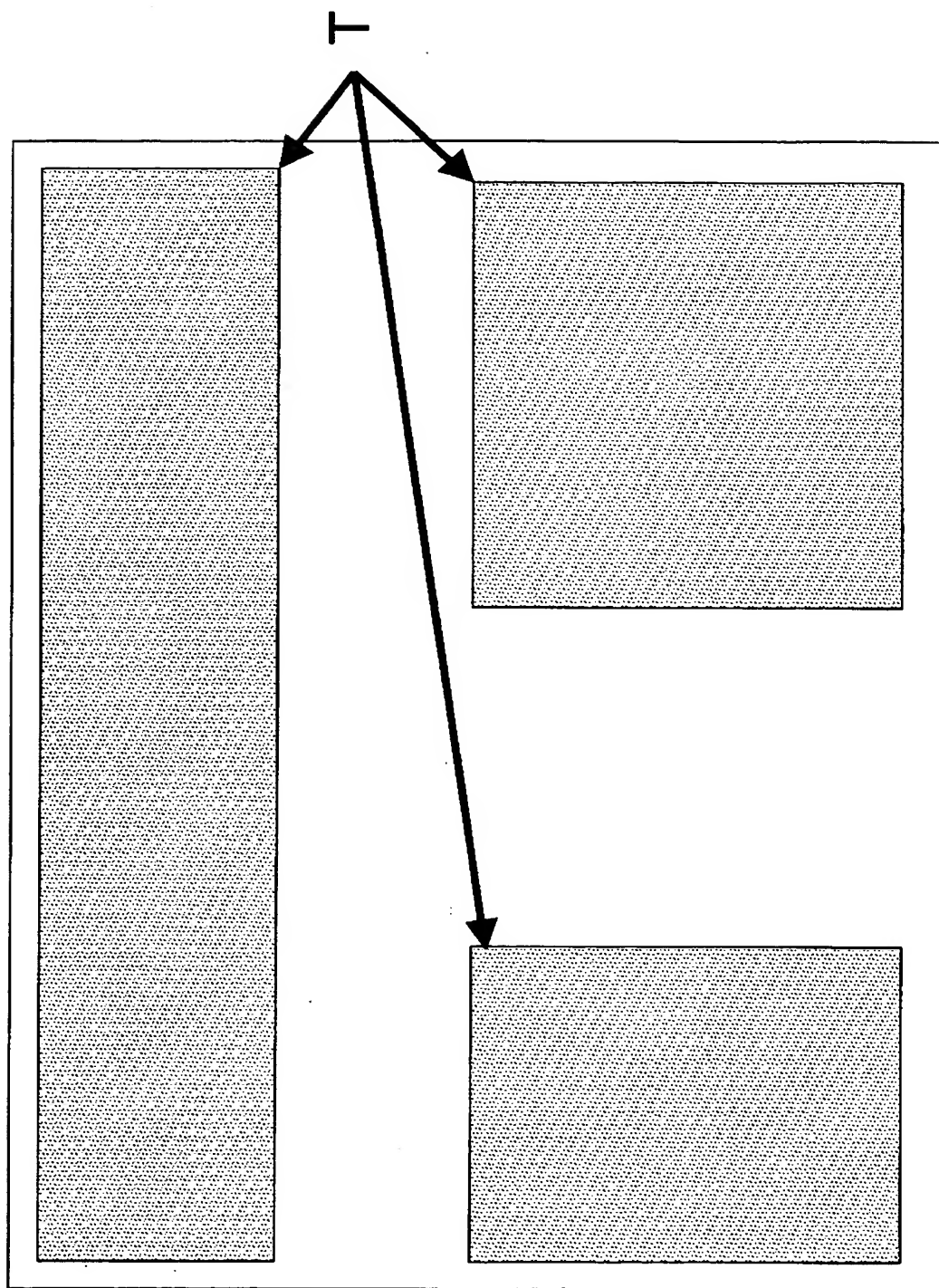
【図 4】



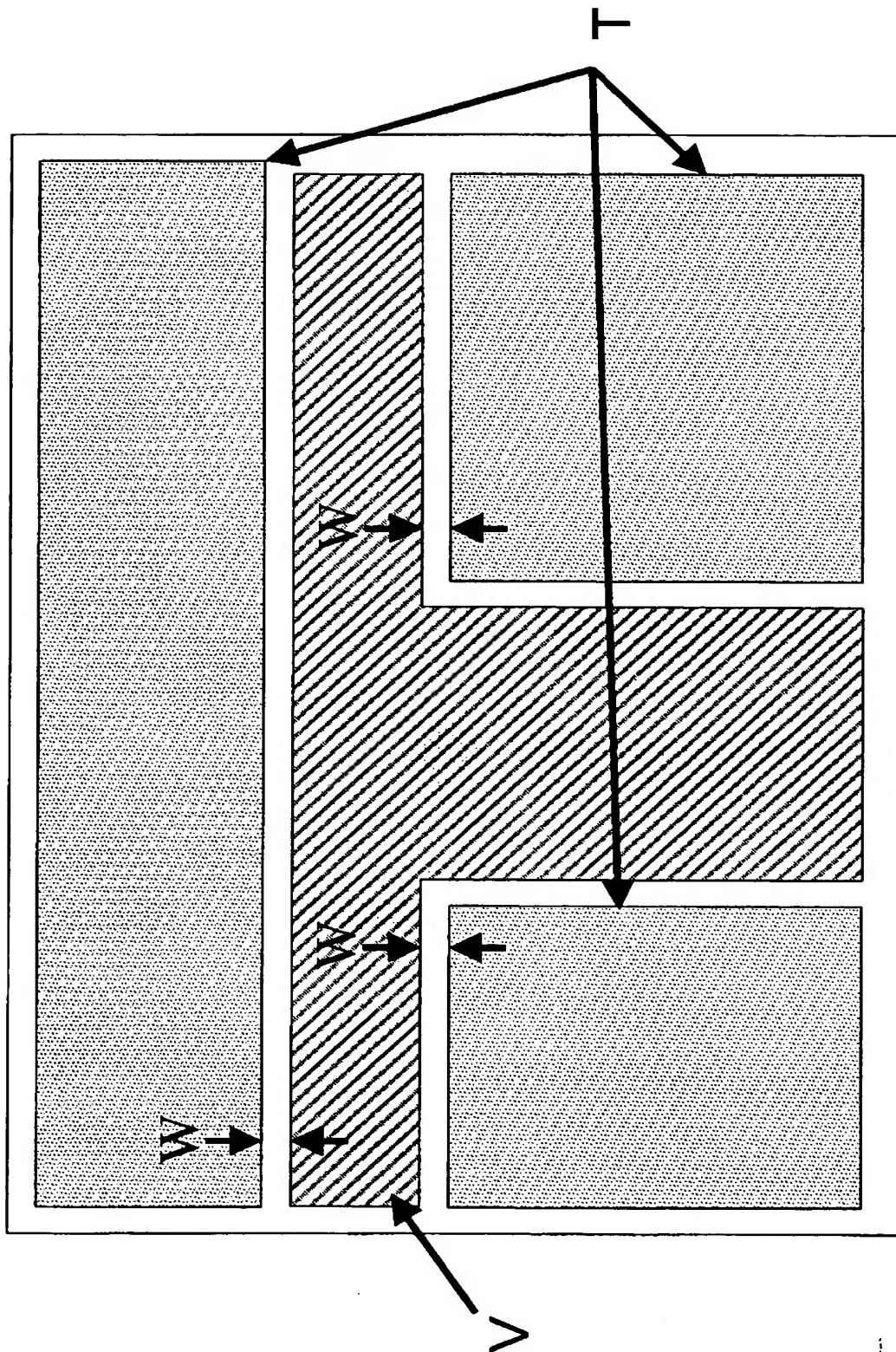
【図 5】



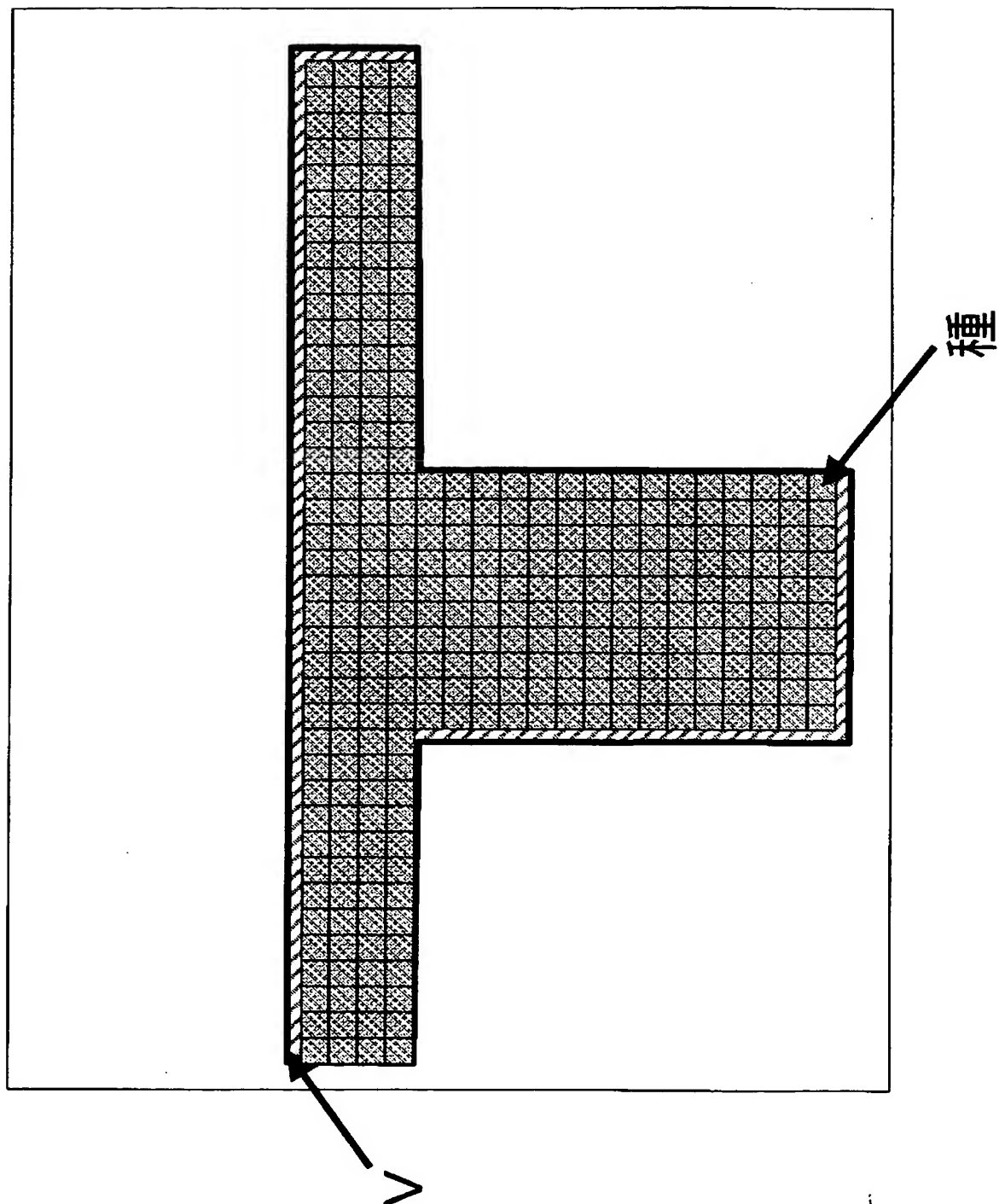
【図 6】



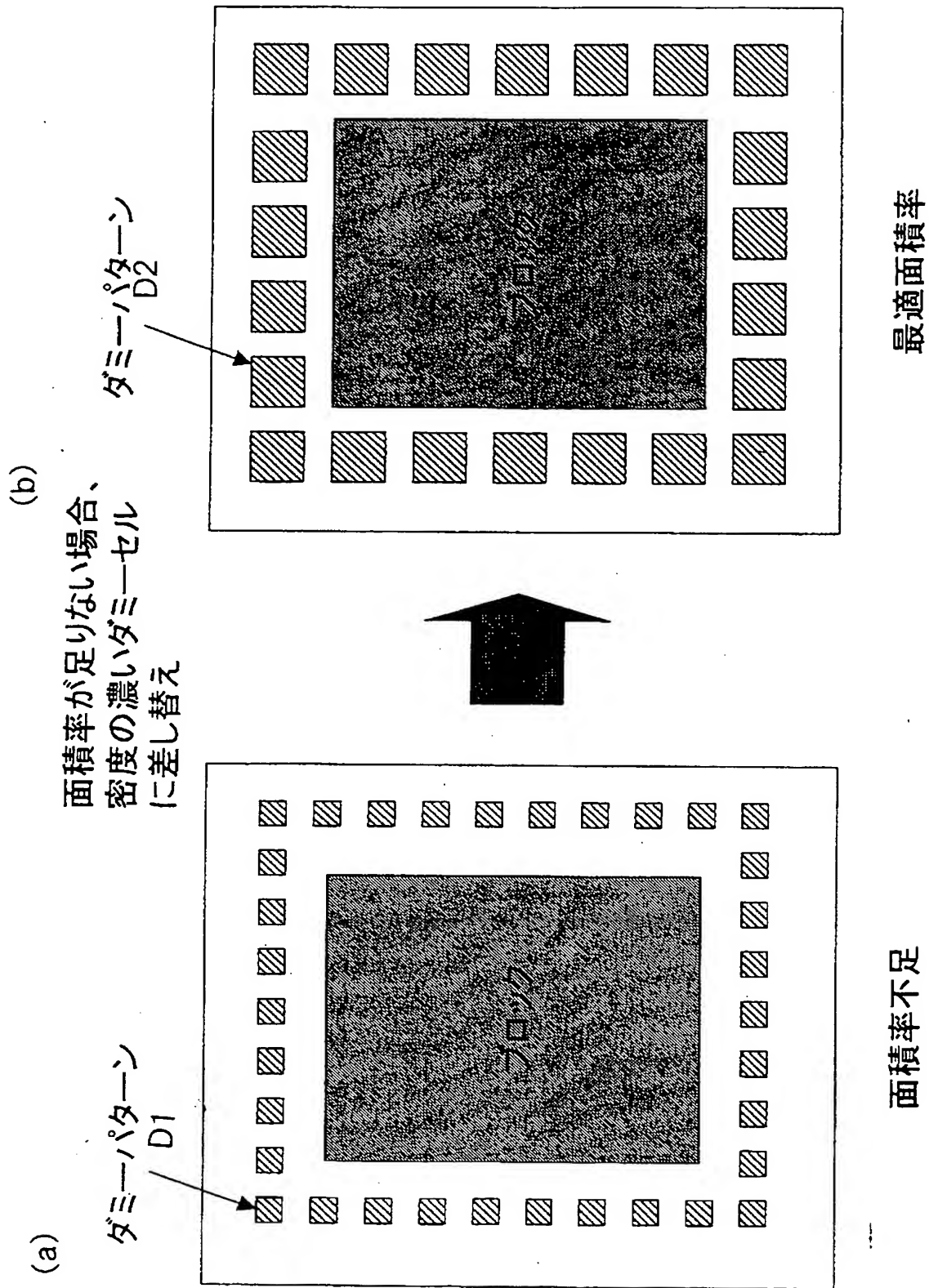
【図 7】



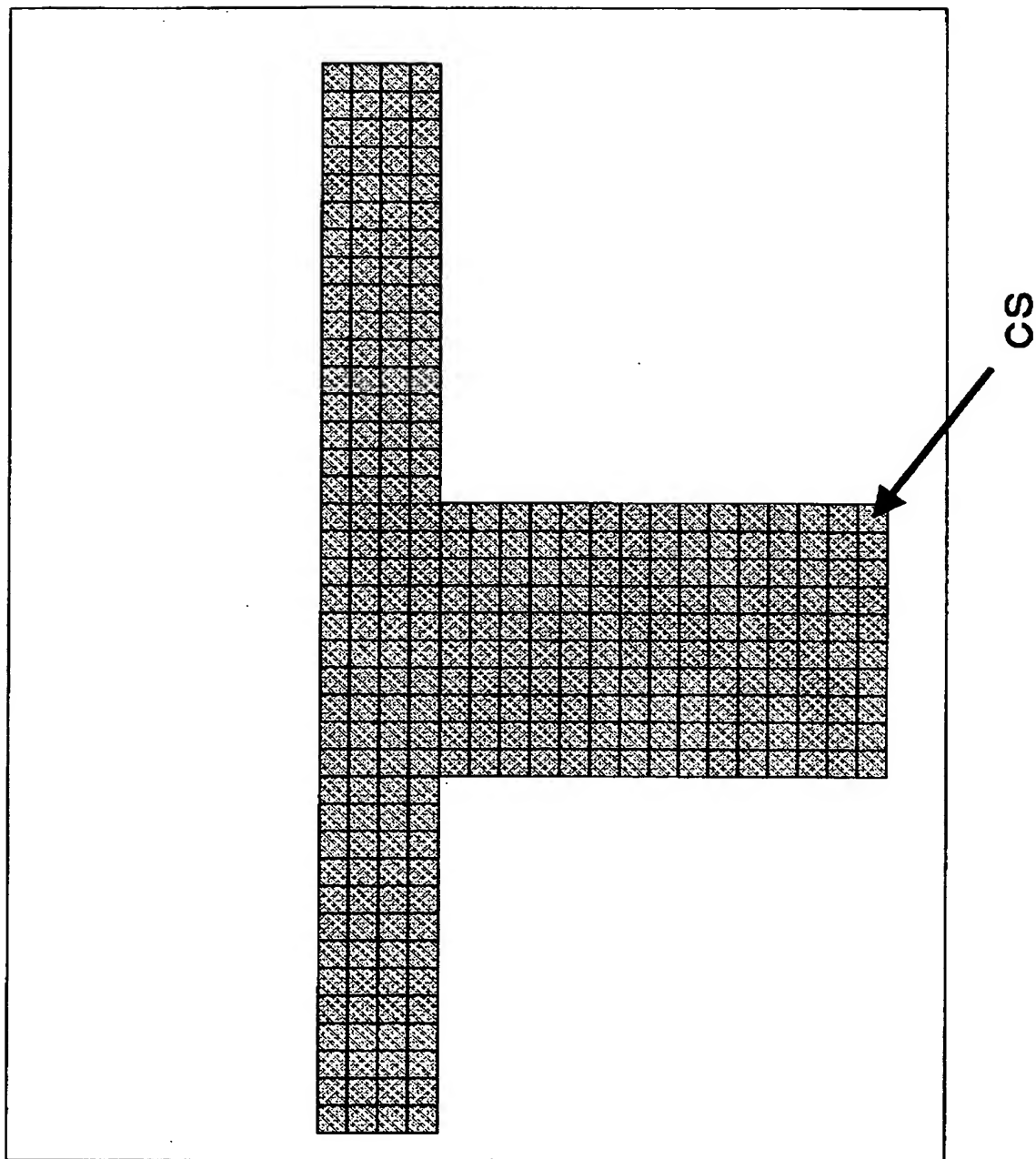
【図 8】



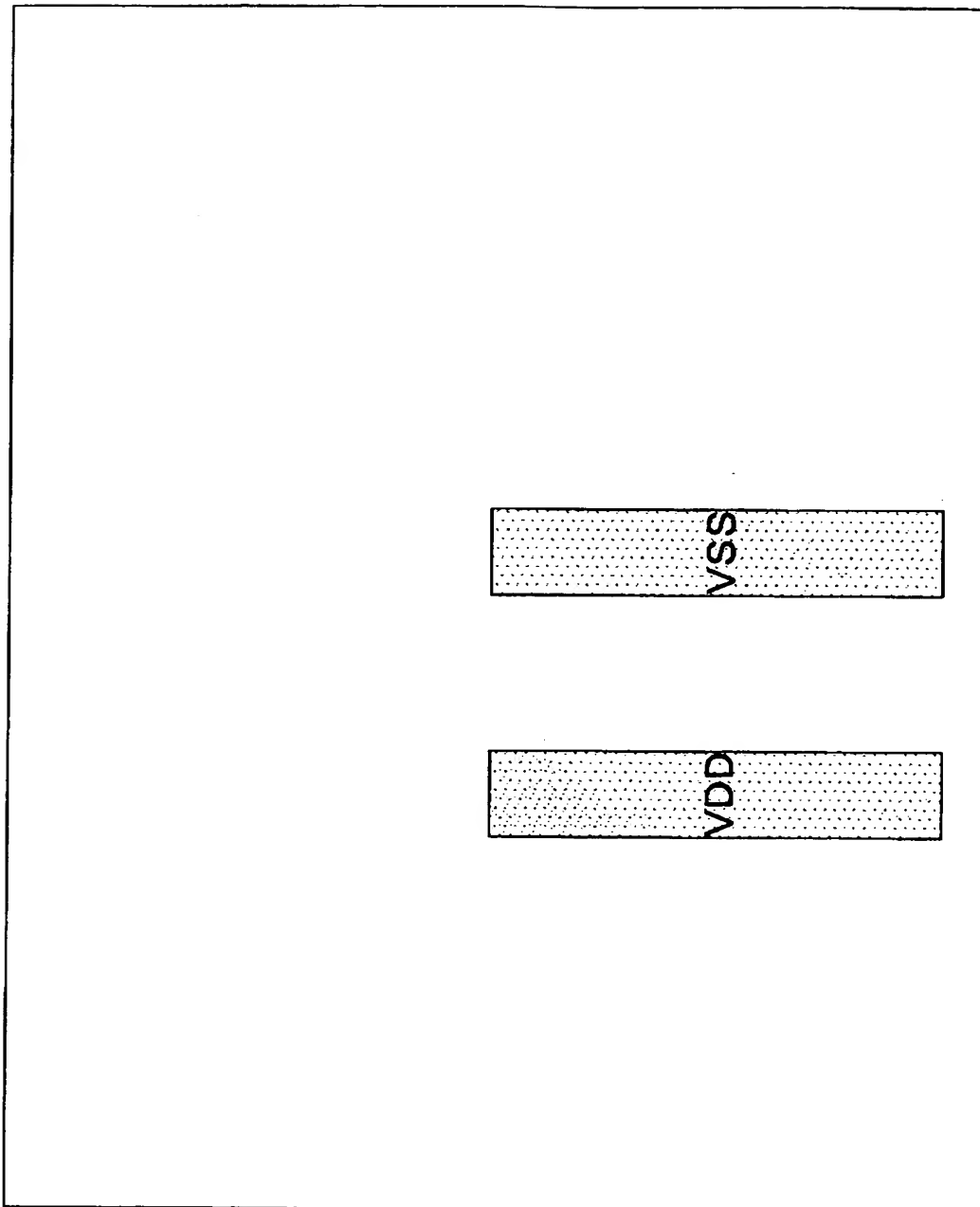
【図 9】



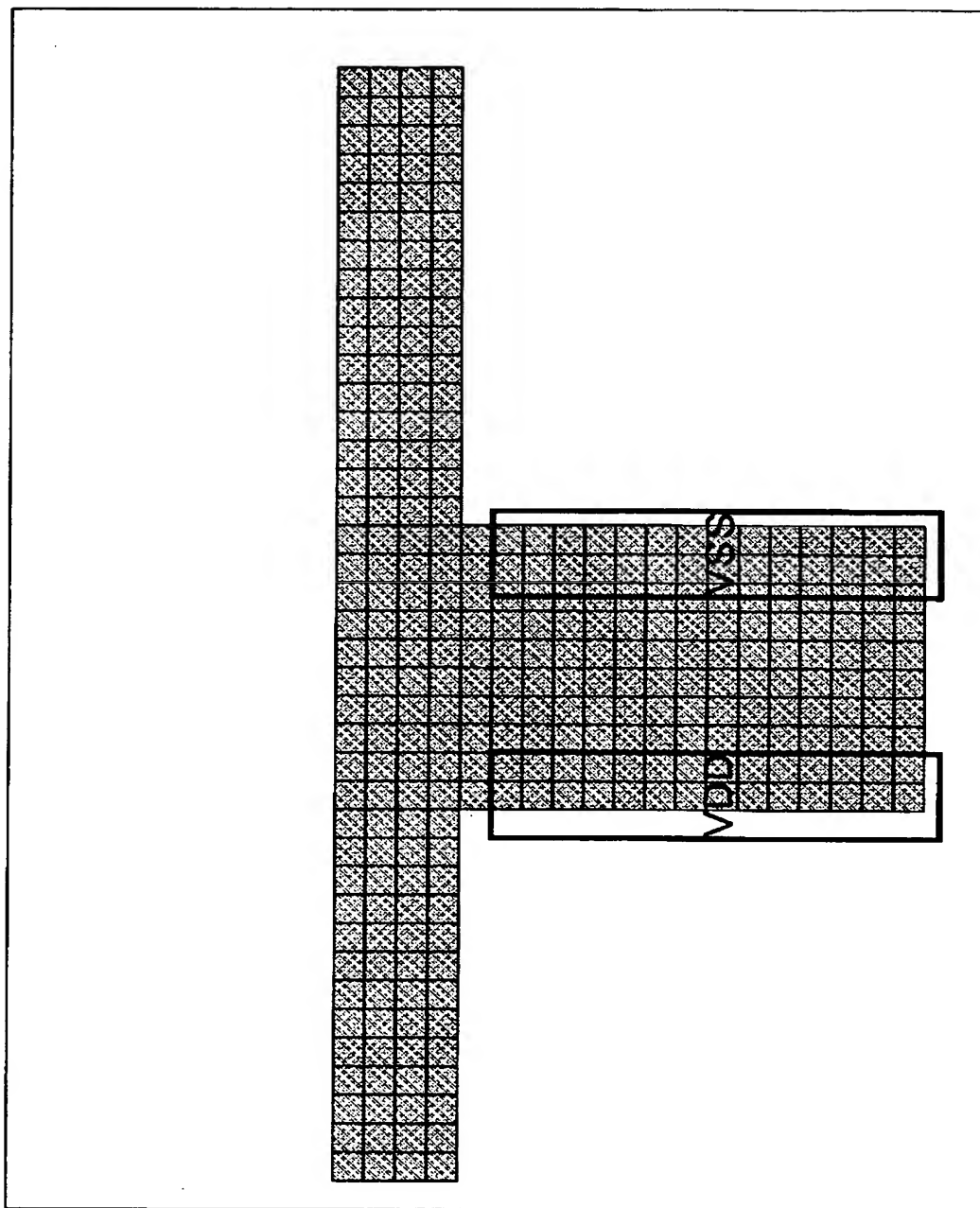
【図 10】



【図 11】

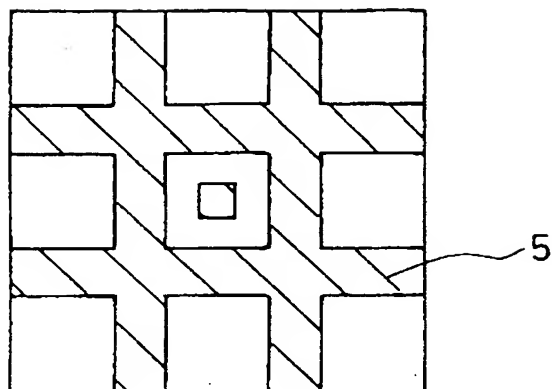


【図 12】

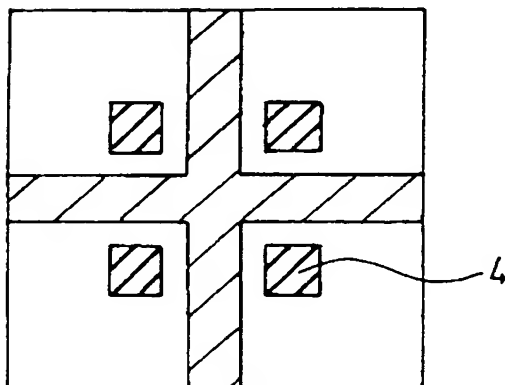


【図 13】

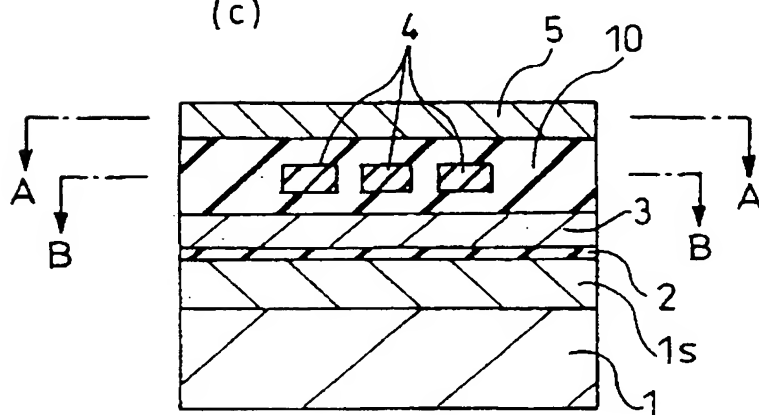
(a)



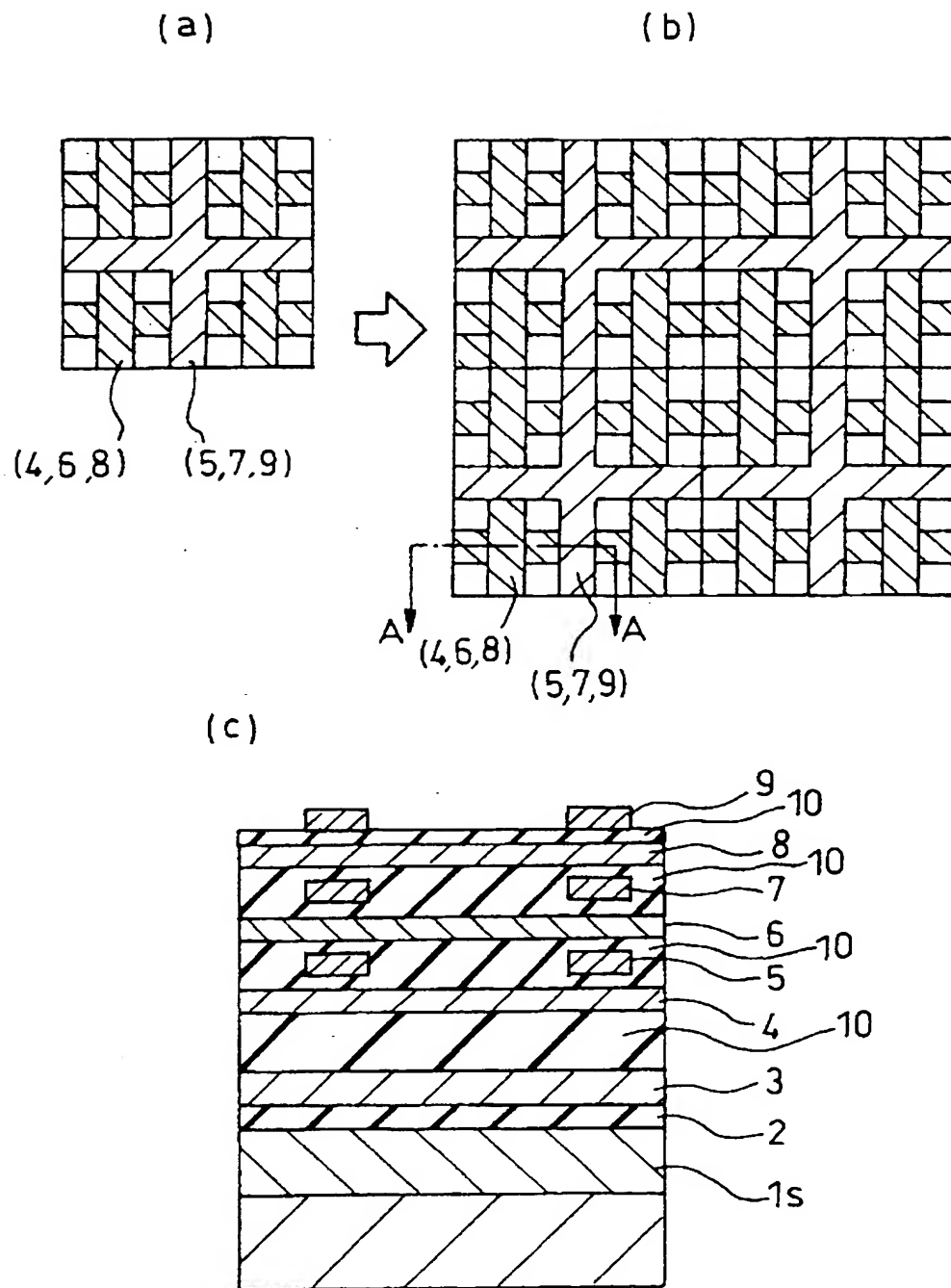
(b)



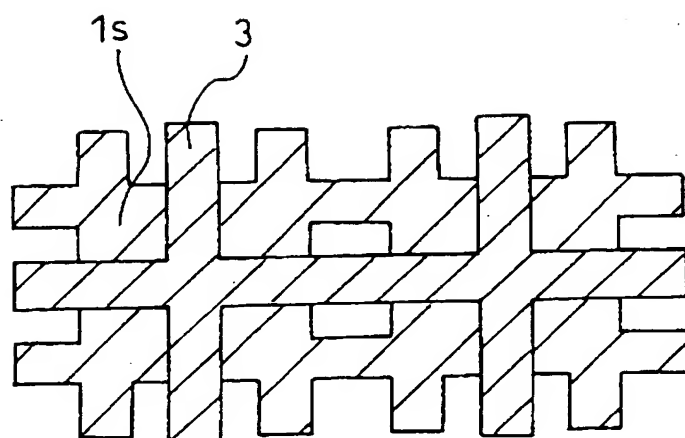
(c)



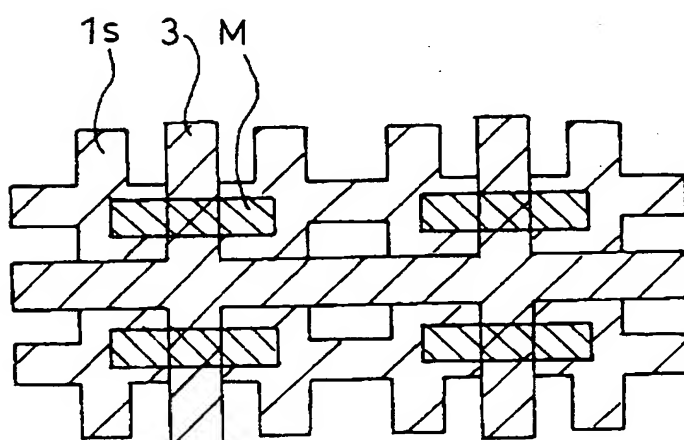
【図 14】



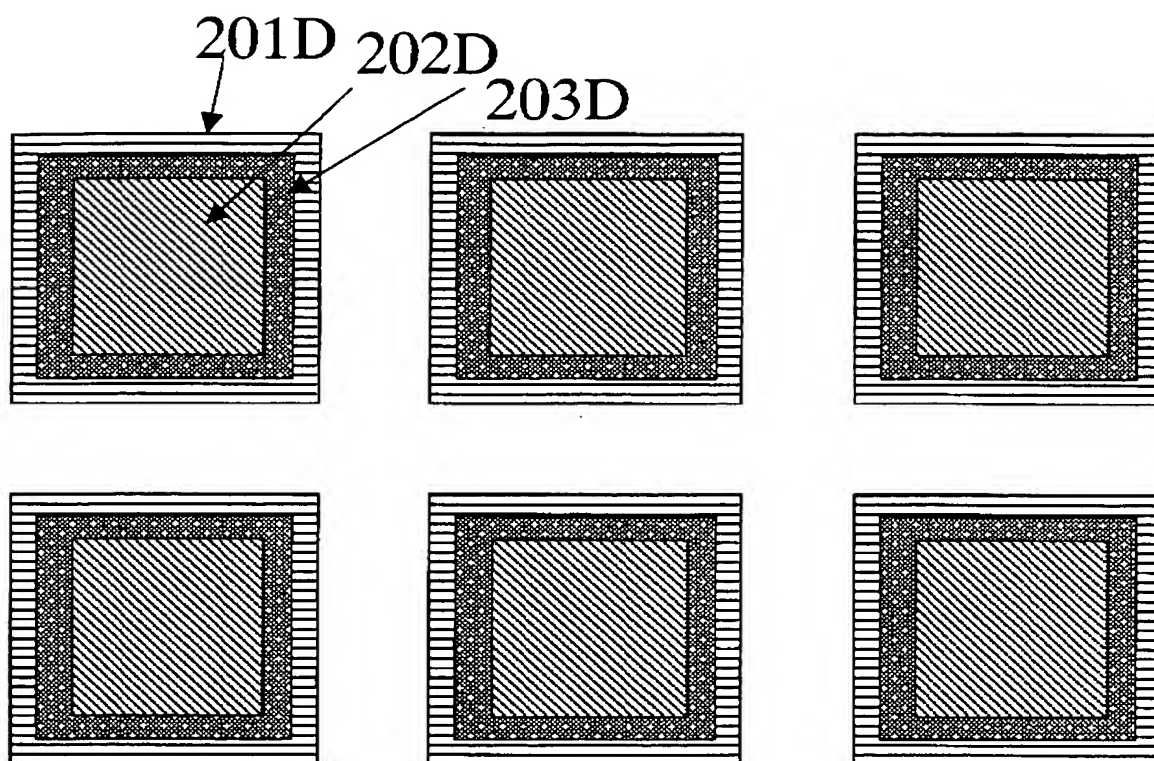
【図 15】



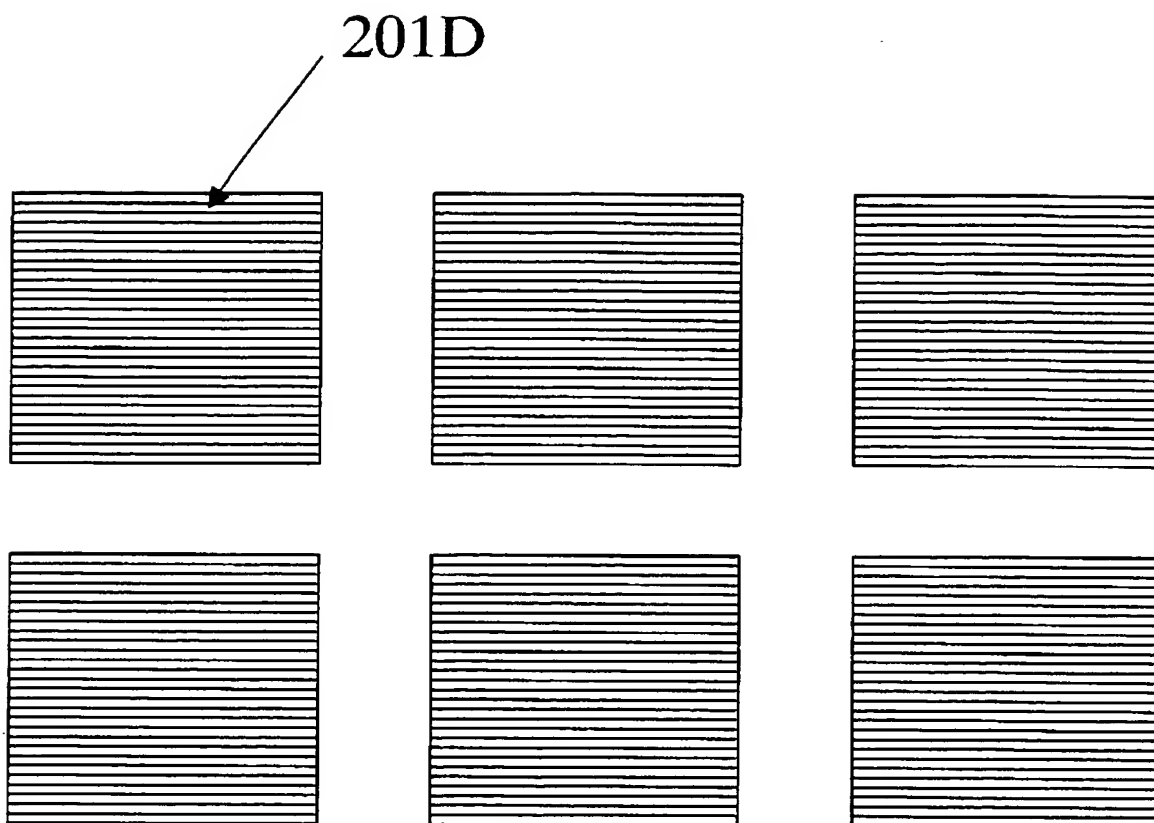
【図 16】



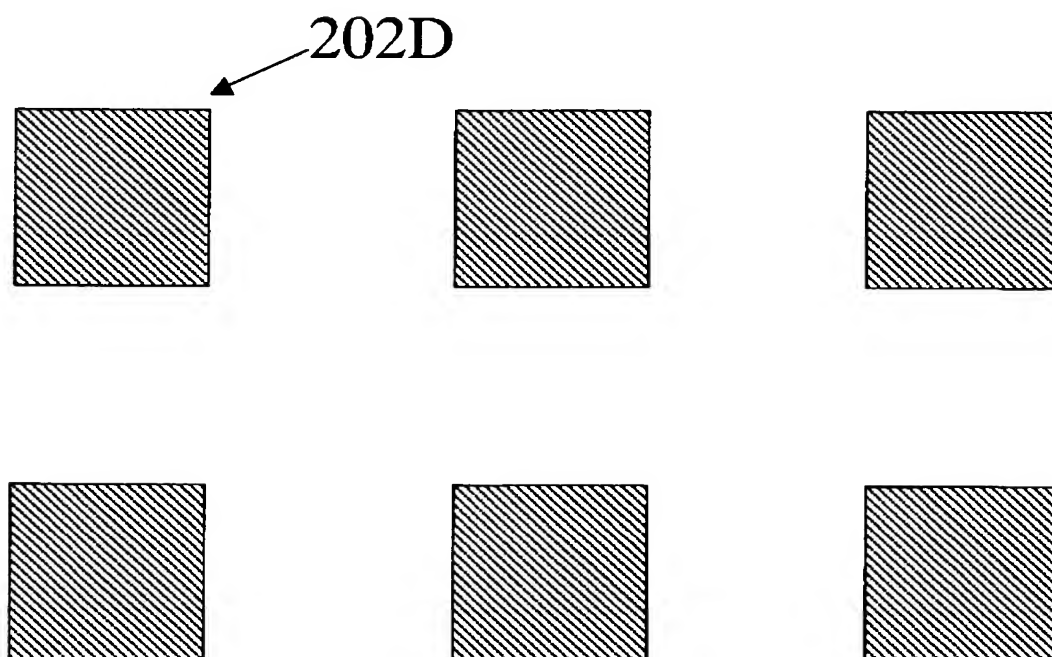
【図 17】



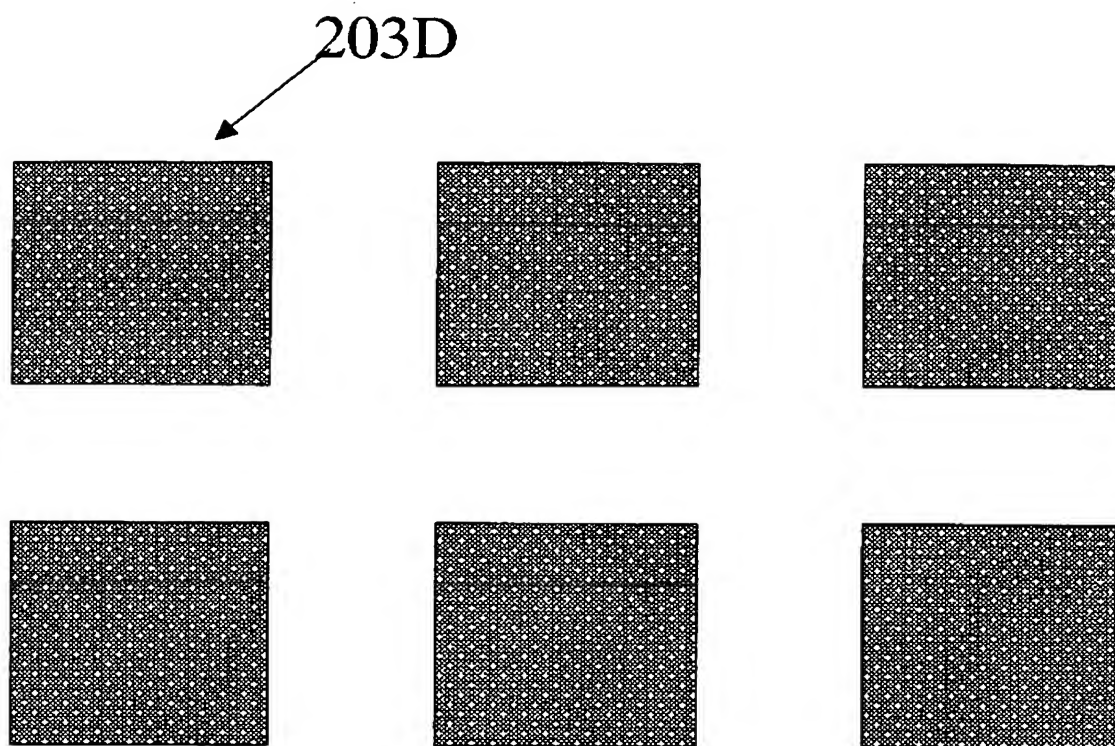
【図 18】



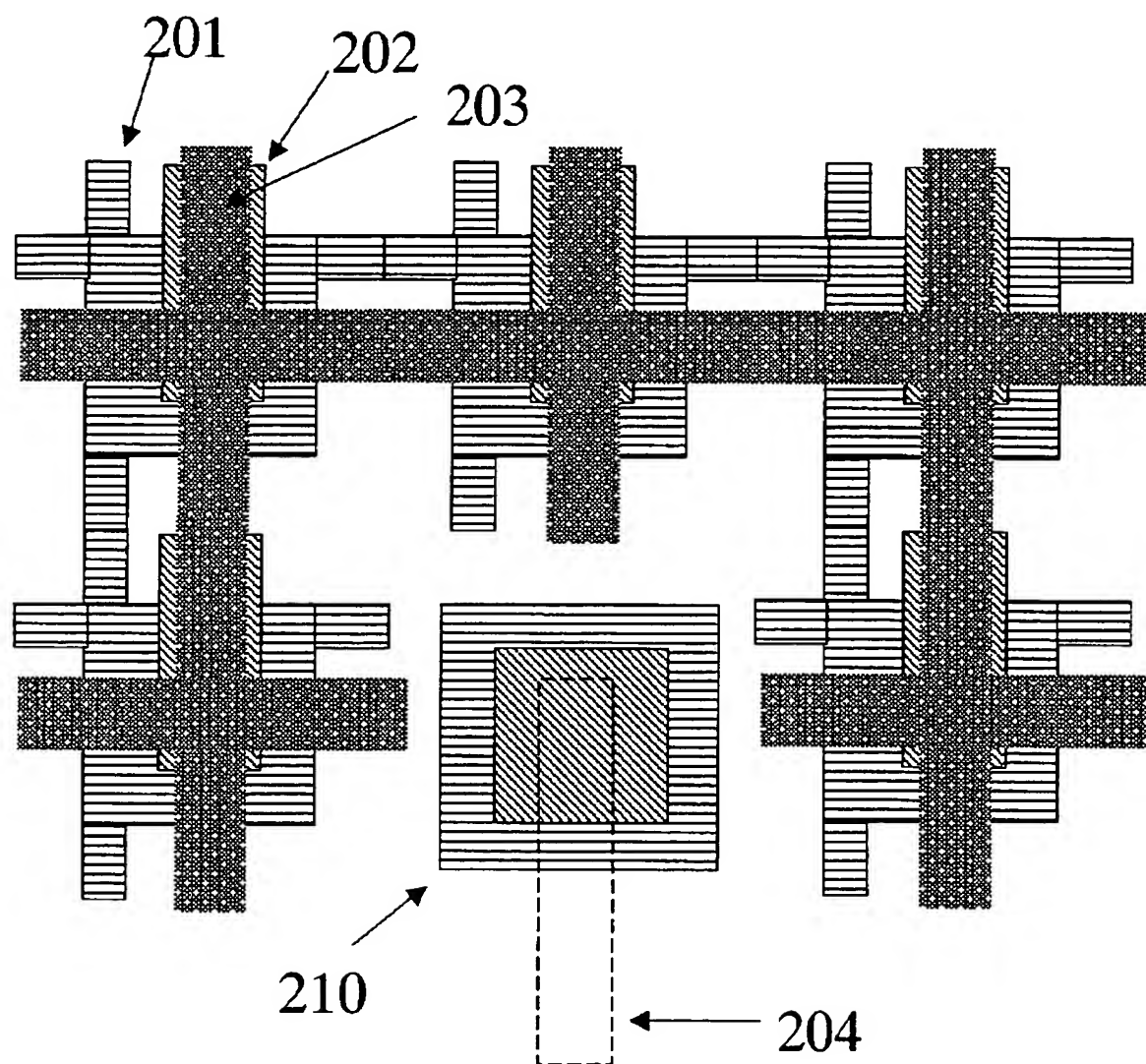
【図 19】



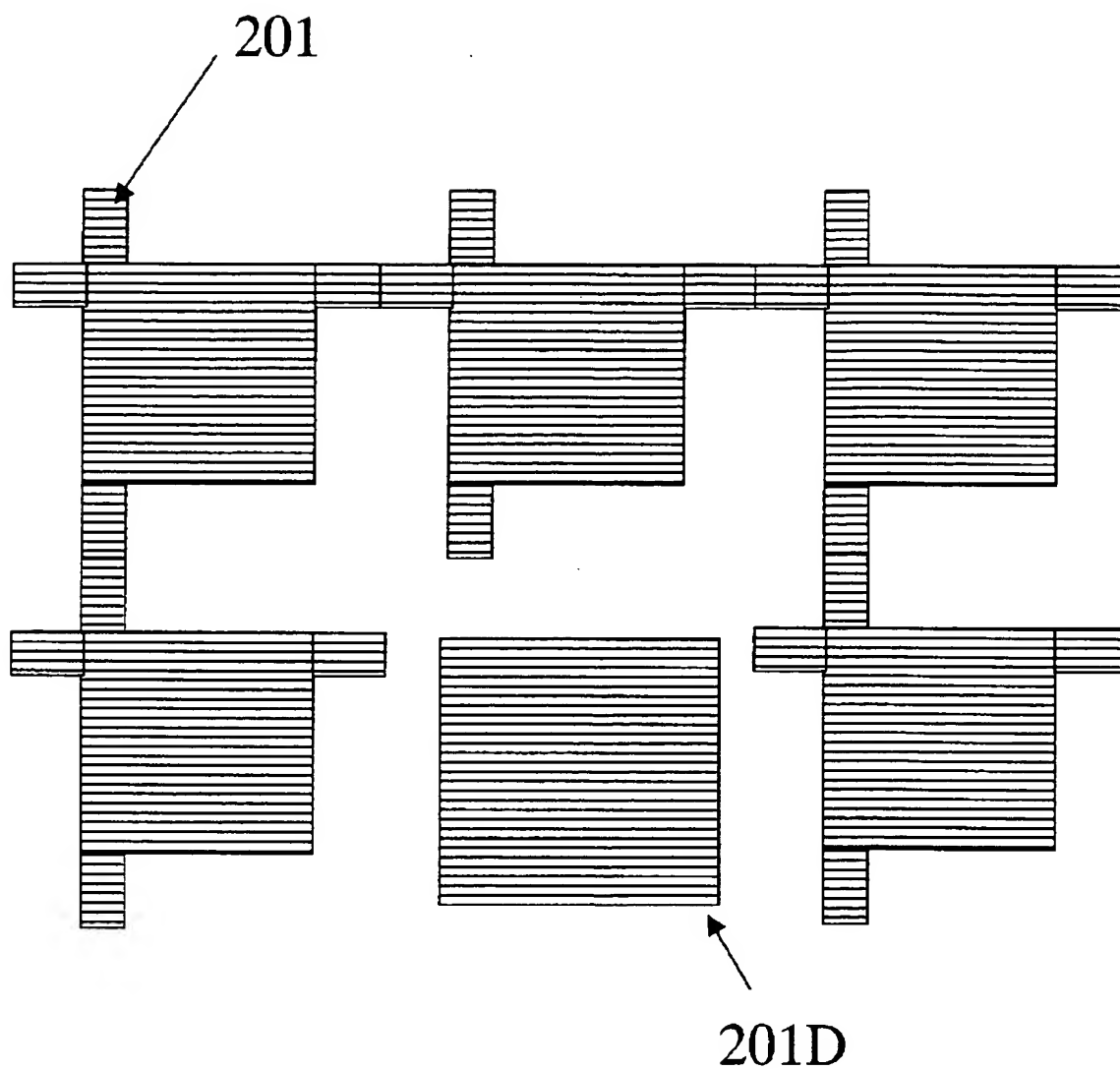
【図 2 0】



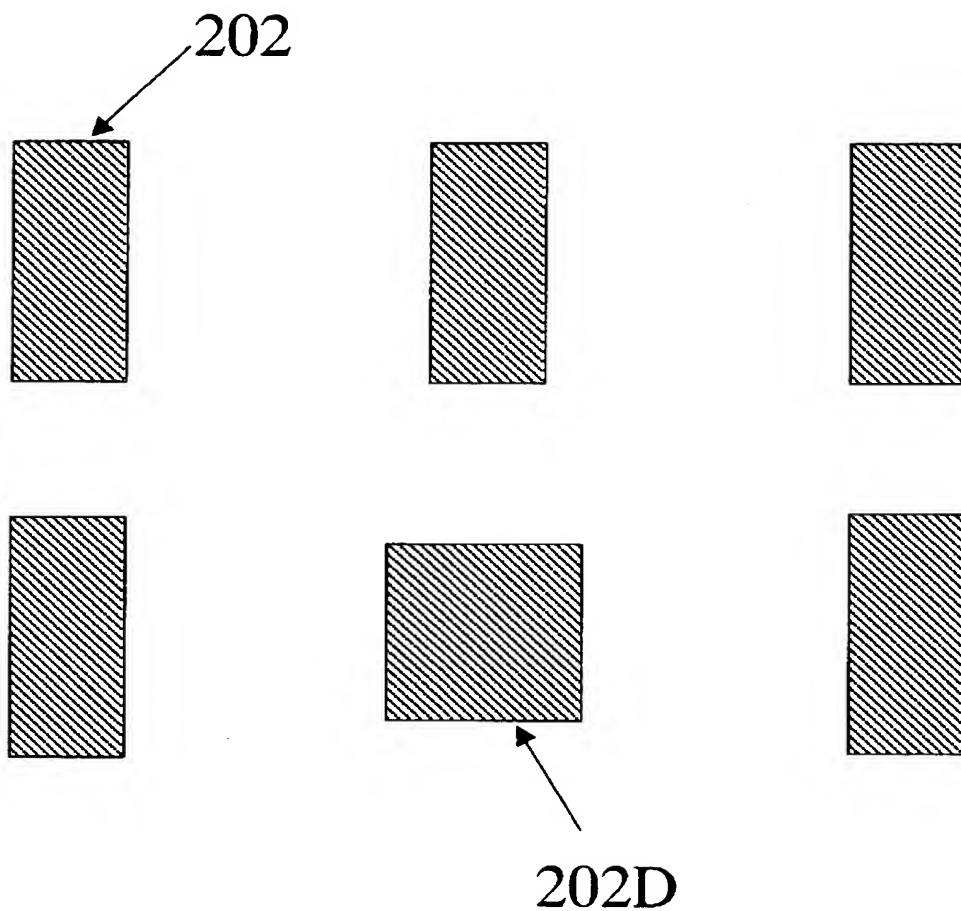
【図 21】



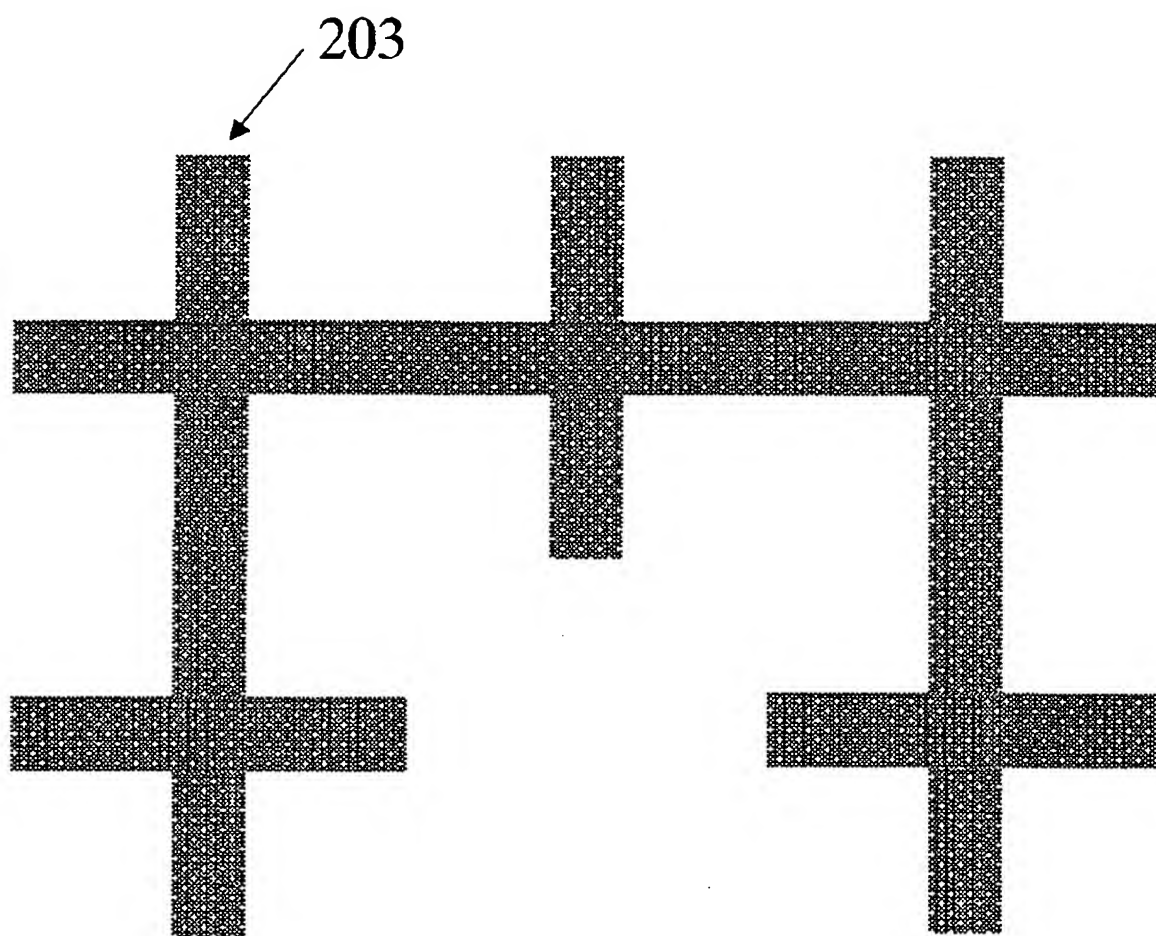
【図 22】



【図 23】



【図 24】



【書類名】 要約書**【要約】**

【課題】 高精度で信頼性の高い半導体装置を形成することのできる半導体装置用パターンの生成方法を提供する。

【解決手段】 半導体チップのレイアウトパターンを設計し配置するレイアウトパターン形成工程と、前記レイアウトパターンから当該マスクパターンの面積率を抽出する工程と、前記レイアウトパターンを構成する層のプロセス条件にもとづいて得られる当該層のレイアウトパターンの最適面積率を考慮して、前記層のマスクパターンの面積率をあわせるように、前記レイアウトパターンに、ダミーパターンを付加配置するダミーパターン付加工程とを含み、当該層が最適面積率となるようにしたことを特徴とする。

【選択図】 図 2

特願 2002-229215

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社